

CLM1200

工业以太网从站控制器

产品参数

- 工作范围
 - 内部2个LDO提供I/O (5V到3.3V) 和逻辑内核/PLL电源 (5V/3.3V到1.8V)
 - 选择外部电源提供I/O和逻辑内核/PLL电源。
- 以太网端口数量：
 - 2个固定端口
 - 1个可选择的额外桥端口
(每个可配置成MII接口或者LVDS接口,最多1个MII接口)
- FMMU数量: 3
- 同步管理SM (SyncManager) 数量: 4
- RAM容量: 1 Kbyte
- 集成分布时钟DC (Distributed Clock): 是, 64 bit
- 过程数据接口PDI (Process Data Interface):
 - 16 Bit数据量I/O接口(单向/双向)
 - SPI从站接口
- I/O: 3.3V兼容的I/O
- 封装: QFN48(7×7 mm²)
- 其他:
 - 内部1GHz PLL
 - 用于外部器件的时钟输出 (10, 20, 25 MHz)

介绍

本芯片为实现工业以太网协议的从站控制器芯片。

工业以太网是一种实时工业以太网计数,它充分利用了以太网的全双工特性。使用主从模式介质访问控制(MAC),主站发送以太网帧给各从站,从站从数据帧中抽取数据或将数据插入数据帧。主站使用标准的以太网接口卡,从站使用专门的以太网从站控制器,即可使用本芯片。

本芯片在从站系统中主要负责处理工业以太网数据帧,并使用双端口存储区实现工业以太网主站与从站本地应用的数据交换。各个从站以太网从站控制器按照各自在环路上的物理位置顺序移位读写数据帧。在报文经过从站时,以太网从站控制器从报文中提取发送给自己的输出命令数据并将其存储到内部存储区,输入数据从内部存储区又被写到相应的子报文中。数据的提取和插入都是由以太网从站控制器完成。

描述

芯片模块框图

本芯片为工业以太网从站控制器芯片，是实现工业以太网数据链路层协议的专用集成电路芯片。它处理工业以太网数据帧，并为从站控制装置提供数据接口。结构如下图：

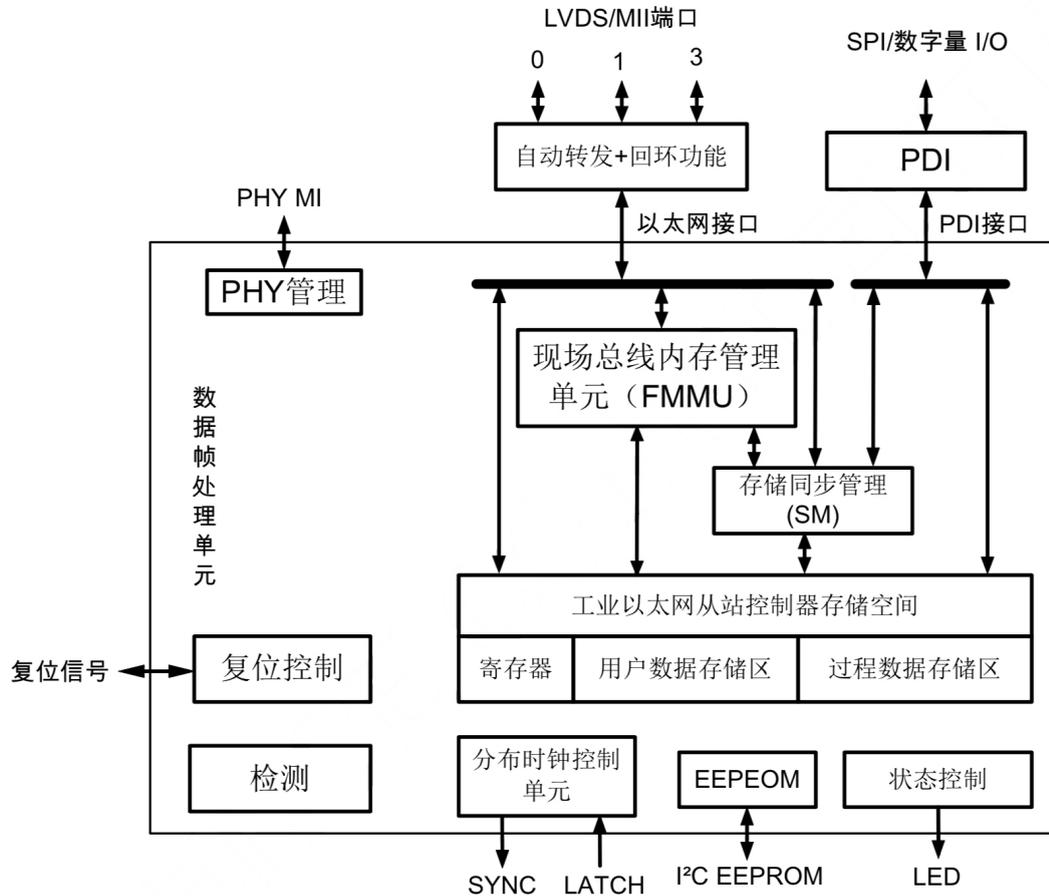


图 2-1 结构框图

本芯片具有 3 个数据收发端口、3 个 FMMU 单元、4 个 SM 通道、256KB 控制寄存器、1KB 过程数据存储区、支持 64 位分布时钟功能。它可以直接作为 32 位数字量输入/输出站点，组成复杂的从站设备。

数据帧处理顺序

本芯片的数据帧处理顺序由 LVDS/MII 端口数量和芯片模式决定:

LVDS/MII 端口数量	数据帧处理顺序
2	0 → 工业以太网数据帧处理单元 → 1 / 1 → 0
3	0 → 工业以太网数据帧处理单元 → 3 / 3 → 1 / 1 → 0

表格 2-1 数据帧处理顺序

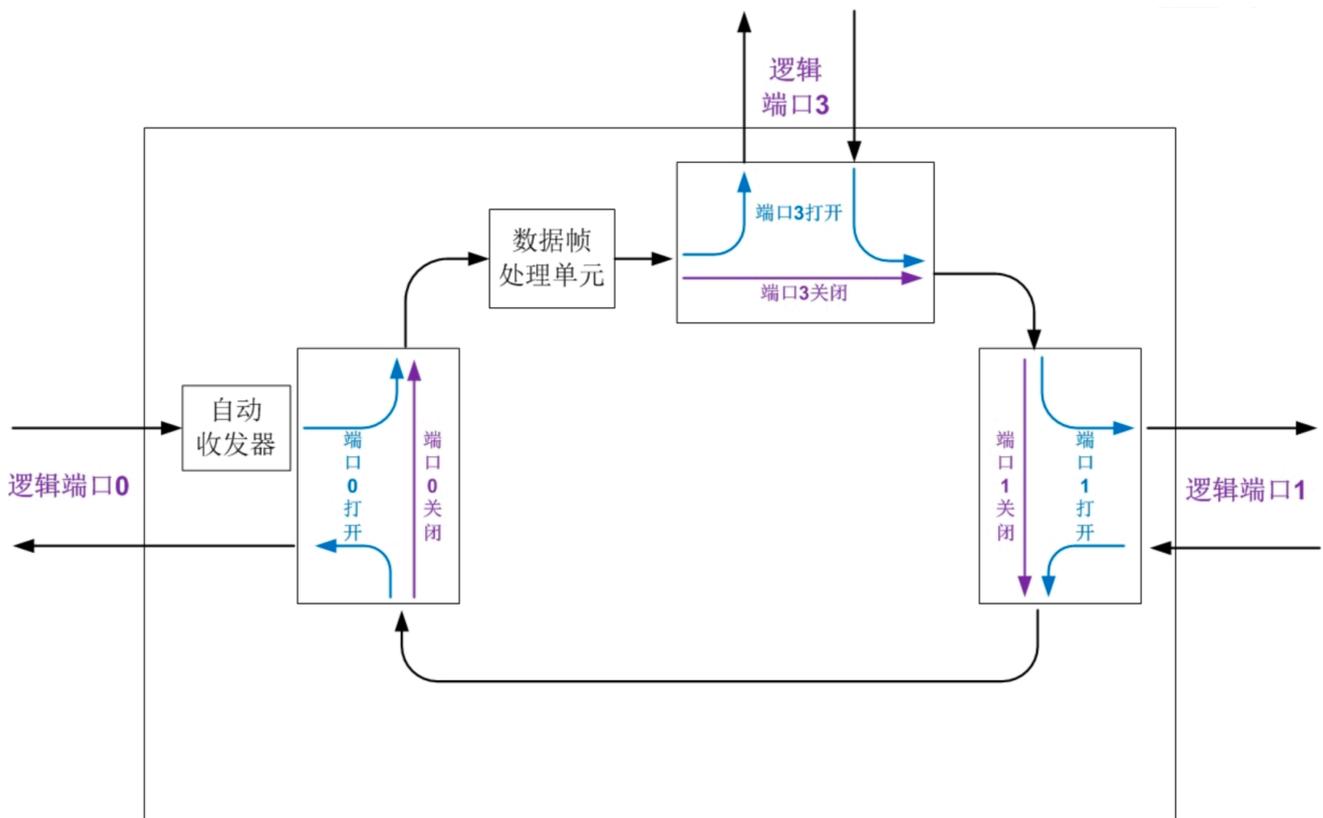


图 2-2 以太网从站控制内部数据帧传输顺序

模块概述

物理通信接口：

本芯片有 3 个物理通信端口，分别命名为端口 0,端口 1，端口 3，可以配置为 MII 接口和 LVDS接口。

MII 接口:使用此接口时，需要外接以太网物理层 PHY 芯片。

LVDS 接口:使用低压差分信号 LVDS，最远传输距离为 10 米。

PDI 接口：

支持直接 IO 信号接口、SPI 接口。

以太网从站控制器数据帧处理单元：

每个以太网从站控制器可以最多支持 3 个数据收发端口，每个端口都可以处在打开或闭合状态。如果端口打开，则可以向其他以太网从站控制器发送数据帧或从其他以太网从站控制器接收数据帧。一个闭合的端口不会与其他以太网从站控制器交换数据帧，它在内部将数据帧转发到下一个逻辑端口，直到数据帧到达一个打开的端口。

存储同步管理

以太网从站控制器使用了存储同步管理通道 SM(SyncManager)来保证主站与本地应用数据交换的一致性和安全性，并在数据状态改变时产生中断来通知双方。

现场总线内存管理单元 (FMMU)

FMMU 将从站本地物理存储地址映射到网段内逻辑地址。实现从站在 4GB(2³²)地址空间的逻辑寻址，报文内的 32 位地址区作为整体的数据逻辑寻址的地址。

分布时钟

分布时钟(DC, Distributed Clock)可以使所有工业以太网设备使用相同的系统时间，从而控制设备任务的同步执行。从站设备可以根据同步的系统时间产生同步信号，用于中断控制或触发数据量输入输出。

引脚分配

QFN48 封装

CLM1200 采用了 QFN48 封装。

QFN48 封装引脚分布如图 3-1 所示，共有 48 个引脚，管脚名称如表所示。

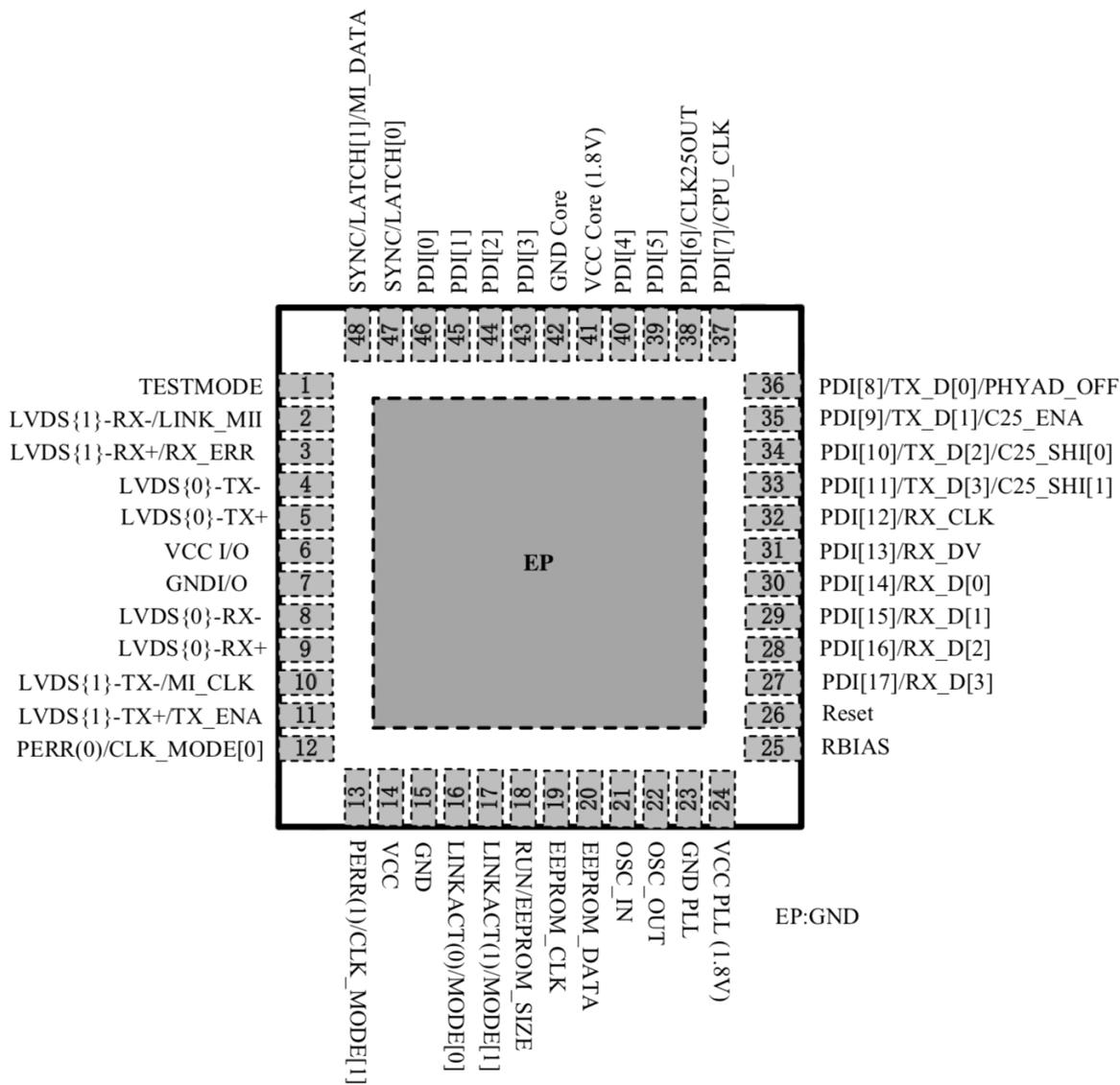


图 3-1 CLM1200 的 QFN48 封装引脚分布

端口顺序	端口名称	方向	高低压分类
EP	GND	-	0V
1	TESTMODE	I	3.3V
2	LVDS{1}-RX-/LINK_MII	LI-/I	3.3V
3	LVDS{1}-RX+/RX_ERR	LI+/I	3.3V
4	LVDS{0}-TX-	LO-	3.3V
5	LVDS{0}-TX+	LO+	3.3V
6	VCC I/O	I/O	3.3V
7	GND I/O	I/O*	0V
8	LVDS{0}-RX-	LI-	3.3V
9	LVDS{0}-RX+	LI+	3.3V
10	LVDS{1}-TX-/MI_CLK	LO-/O	3.3V
11	LVDS{1}-TX+/TX_ENA	LO+/O	3.3V
12	PERR(0)/CLK_MODE[0]	BD	3.3V
13	PERR(1)/CLK_MODE[1]	BD	3.3V
14	VCC	-	5V
15	GND	-	0V
16	LINKACT(0)/MODE[0]	BD	3.3V
17	LINKACT(1)/MODE[1]	BD	3.3V
18	RUN/EEPROM_SIZE	BD	3.3V
19	EEPROM_CLK	BD	3.3V
20	EEPROM_DATA	BD	3.3V
21	OSC_IN	I	3.3V
22	OSC_OUT	O	3.3V
23	GND PLL	-	0V
24	VCC PLL (1.8V)	-	1.8V
25	RBIAS	-	3.3V
26	Reset	BD	3.3V
27	PDI[17]/RX_D[3]	BD	3.3V
28	PDI[16]/RX_D[2]	BD	3.3V
29	PDI[15]/RX_D[1]	BD	3.3V
30	PDI[14]/RX_D[0]	BD	3.3V
31	PDI[13]/RX_DV	BD	3.3V
32	PDI[12]/RX_CLK	BD	3.3V
33	PDI[11]/TX_D[3]/C25_SHI[1]	BD	3.3V
34	PDI[10]/TX_D[2]/C25_SHI[0]	BD	3.3V
35	PDI[9]/TX_D[1]/C25_ENA	BD	3.3V
36	PDI[8]/TX_D[0]/PHYAD_OFF	BD	3.3V
37	PDI[7]/CPU_CLK	BD	3.3V
38	PDI[6]/CLK25OUT	BD	3.3V
39	PDI[5]	BD	3.3V
40	PDI[4]	BD	3.3V
41	VCC Core (1.8V)	-	1.8V
42	GND Core	-	0V
43	PDI[3]	BD/LI-	3.3V
44	PDI[2]	BD/LI+	3.3V
45	PDI[1]	BD/LO-	3.3V
46	PDI[0]	BD/LO+	3.3V
47	SYNC/LATCH[0]	BD	3.3V
48	SYNC/LATCH[1]/MI_DATA	BD	3.3V

表格 3-1 CLM1200 引脚名称

注意：1，CLM1200 的底部裸露的焊盘即为引脚 EP。

2，关于一些引脚方向常用缩写如下，具体也可参考缩写目录。

缩写	方向
I	输入 (Input)
I/O	输入或输出 (Input or Output)
LI-	低压差分接收信号负极 (LVDS RX-)
LI+	低压差分接收信号正极 (LVDS RX+)
LO-	低压差分发送信号负极 (LVDS TX-)
LO+	低压差分发送信号正极 (LVDS TX+)
O	输出 (Output)
LVDS	低压差分信号 (Low Voltage Differential Signaling)

引脚功能及连接要求

信号	类型	方向	功能描述
C25_ENA	配置	I	CLK25OUT 使能: 使能 CLK25OUT 引脚输出
C25_SHI[1:0]	配置	I	TX 信号 (发送信号) 相位偏移: MII TX 信号的转移/相位偏移
CLK_MODE[1:0]	配置	I	CPU_CLK 配置
CLK25OUT	MII	O	工业以太网 PHY 芯片的 25MHz 时钟源
CPU_CLK	PDI	O	微控制器的时钟信号
LVDS{1:0}-RX-	LVDS	LI-	低电压差分接收信号负极
LVDS{1:0}-RX+	LVDS	LI+	低电压差分接收信号正极
LVDS{1:0}-TX-	LVDS	LO-	低电压差分发送信号负极
LVDS{1:0}-TX+	LVDS	LO+	低电压差分发送信号正极
EEPROM_CLK	EEPROM	BD	EEPROM 接口集成电路总线 (I ² C) 通信时钟
EEPROM_DATA	EEPROM	BD	EEPROM 接口 I ² C 通信数据
EEPROM_SIZE	配置	I	EEPROM 存储大小配置
PERR(3:0)	LED	O	端口接收错误指示灯(LED)输出 (用于测试)
GND	电源		地
GND _{Core}	电源		逻辑内核地
GND _{I/O}	电源		I/O 地
GND _{PLL}	电源		PLL 锁相环地
LINK_MII(3:0)	MII	I	表示一个链接的 PHY 信号
LINKACT(3:0)	LED	O	链接/活动(Link/Activity)指示灯 (LED) 输出
MI_CLK	MII	O	PHY 管理接口时钟 (MDC)
MI_DATA	MII	BD	PHY 管理接口数据 (MDIO)
OSC_IN	Clock	I	时钟源 (晶体/振荡器)
OSC_OUT	Clock	O	时钟源 (晶体)
PDI[17:0]	PDI	BD	PDI 信号, 取决于 EEPROM 内容
PHYAD_OFF	配置	I	工业以太网 PHY 地址偏移
RBIAS	LVDS	LVDS	用于低电压差分发送信号 (LVDS-TX) 电流调节的偏压电阻
RESET	通用	BD	集电极开路内部复位输出信号/外部复位控制信号输入
RUN	LED	O	应用层(AL)状态寄存器控制的运行指示灯
RX_CLK	MII	I	MII 接收时钟
RX_D[3:0]	MII	I	MII 接收数据
RX_DV	MII	I	MII 接收数据有效信号
RX_ERR	MII	I	MII 接收错误
SYNC/LATCH[1:0]	DC	I/O	分布式时钟同步信号输出或者自锁信号输入
TESTMODE	通用	I	用于测试的保留管脚, 连接到地
TX_D[3:0]	MII	O	MII 发送数据
TX_ENA	MII	O	MII 发送使能
Vcc	电源		器件电源 (LDO 的输入)
VCC Core	电源		逻辑内核电源
VCC I/O	电源		I/O 信号电源
VCC PLL	电源		PLL 锁相环电源

表格 3-2 信号概述

PDI	信号	方向	描述
数字量 I/O 接口	I/O[15:0]	I/O/BD	输入/输出或者双向数据
	LATCH_IN/SOF	I/O	外部数据锁存信号/帧起始
	OUTVALID/WD_TRIG	O	输出数据有效/输出事件/看门狗触发
SPI 从站接口	EEPROM_LOADED	O	PDI 激活, EEPROM 数据正确加载
	SPI_CLK	I	SPI 时钟
	SPI_DI	I	SPI 数据 MOSI
	SPI_DO	O	SPI 数据 MISO
	SPI_IRQ	O	SPI 中断
	SPI_SEL	I	SPI 片选
LVDS 桥	LVDS(3)-RX-	LI-	低电压差分接收信号负端
	LVDS(3)-RX+	LI+	低电压差分接收信号正端
	LVDS(3)-TX-	LO-	低电压差分发送信号负端
	LVDS(3)-TX+	LO+	低电压差分发送信号正端
	PERR(3)	O	端口接收错误指示灯(LED)输出 (用于测试)
	LINKACT(3)	O	链接/活动(Link/Activity)指示灯 (LED) 输出
	GPO[11:0]	O	通用输出
MII 桥	TX_D(3)[3:0]	O	MII 发送数据
	TX_ENA(3)	O	MII 发送使能
	RX_CLK(3)	I	MII 接收时钟
	RX_D(3)[3:0]	I	MII 接收数据
	RX_DV(3)	I	MII 接收数据有效信号
	RX_ERR(3)	I	MII 接收错误
	LINK_MII(3)	I	表示一个链接的 PHY 信号
	LINKACT(3)	O	链接/活动(Link/Activity)指示灯 (LED) 输出
	PERR(3)	O	端口接收错误指示灯(LED)输出 (用于测试)
	GPO[1]	O	通用输出
	MI_CLK	O	PHY 管理接口时钟 (MDC)
	CLK25OUT	O	工业以太网 PHY 芯片的 25MHz 时钟源

表格 3-3 PDI 信号概述

电源

CLM1200 支持不同的电源供电和 I/O 电平选择，它可以是 3.3V(也可选用 5V，但是实际应用中不建议选用)，也支持选择单电源供电或者双电源供电。

VCC I/O 的电压值直接决定所有输入和输出信号的 I/O 电平，它可以使用 3.3V 或 5V 供电。使用 3.3V 时，I/O 信号电平即为 3.3V，不允许使用 5V 输入。当 I/O 信号电平要求为 5V 时，此时输入电源为 5V。

CLM1200 内部有两个 LDO(Low Dropout Regulator, 低压线性稳压器)，它们均从电源引脚 VCC 获取电源供电，一个 LDO 输出 I/O 信号供电电压 VCC I/O，通常这个电压为 3.3V，另外一个 LDO 输出逻辑内核供电电压 VCC Core/VCC PLL，通常这个电压为 1.8V。故 VCC 引脚电压必须大于等于 VCC I/O。VCC PLL 总是等于 VCC Core。内部 LDO 不能被关闭，但是如果外部供电电压大于内部 LDO 输出，它会停止操作，因此，选用外部供电时供电电压至少要高于内部 LDO 输出电压 0.1V。

使用内部 LDO 会增加功耗，值得注意的是，I/O 选用 5V 电压时的功耗大于 I/O 选用 3.3V 电压时的功耗。所以更加建议选用 3.3V 的 I/O 信号和内部 LDO 为 VCC Core/VCC PLL 供电。

当 I/O 选用 3.3V 电平时，需要 3.3V 电源供电，此时 VCC 和 VCC I/O 不得不连接到外部 3.3V 电源。当 I/O 选用 5V 电平时，需要 5V 电源供电，此时 VCC 和 VCC I/O 不得不连接到外部 5V 电源。

每个电源引脚都要连接稳压电容。

Vcc	VCC I/O	VCC Core/VCC PLL	输入信号	输出信号	解释
3.3V	外部电压 3.3V (=Vcc)	内部 LDO (1.8V)	仅 3.3V	仅 3.3V	单电源供电, 低功耗
5V	内部 LDO (3.3V)	内部 LDO (1.8V)	仅 3.3V	仅 3.3V	单电源供电, 由于 LDO 供电 VCC I/O, 最高功耗
为了将来的兼容性不建议选用:					
3.3V	外部电压 3.3V (=Vcc)	外部电压 1.8V	仅 3.3V	仅 3.3V	双电源供电, 最低功耗
5V	内部 LDO (3.3V)	外部电压 1.8V	仅 3.3V	仅 3.3V	双电源供电
5V	外部电压 5V (=Vcc)	内部 LDO (1.8V)	仅 5V	仅 5V	单电源供电, 高功耗
5V	外部电压 5V (=Vcc)	外部电压 1.8V	仅 5V	仅 5V	双电源供电, 高功耗

表格 3-4 供电电压选择

CLM1200 的电源引脚如下表所示。

引脚	引脚名称
EP	GND
14	VCC
15	GND
6	VCC I/O
7	GND _{I/O}
41	VCC Core(1.8V)
42	GND _{Core}
24	VCC PLL(1.8V)
23	GND _{PLL}

表格 3-5 电源引脚

举例电源引脚连接原理图

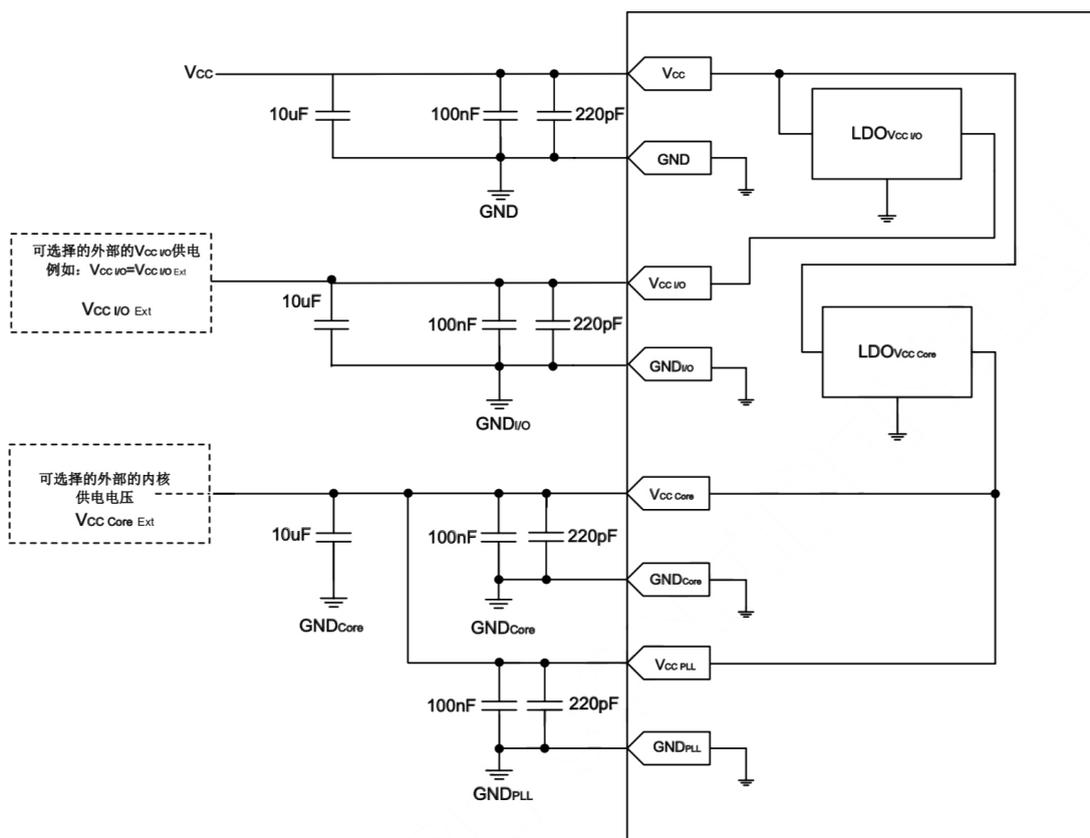


图 3-2 CLM1200 电源供电

稳压电容建议:每个电源引脚并联 100nF 和 220pF 电容到地,另 Vcc, Vcc I/O 和 Vcc Core/Vcc PLL 到地分别并联 10uF 电容,总共需要 3 个 10uF 电容。

将 GND, GND PLL, GND core, 和 GND I/O 引脚连接到一个电位 GND。

如果 Vcc I/O, Vcc Core/Vcc PLL 的实际电压高于各自名义上的内部 LDO 的输出电压时,内部 LDO 将会自我失效。

时钟

引脚 OSC_IN 作为时钟源输入，外接 25MHz 的晶体或者振荡器。当 CLM1200 的时钟由振荡器提供时，此时值得注意的是以太网 PHY 芯片的时钟需由 CLM1200 输出时钟提供，具体使用方法参考引脚配置章节。25MHz 的时钟源要求精度为 25ppm 以上。

引脚 OSC_OUT 外部晶体。当 OSC_IN 接入振荡器时，该引脚悬空。

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
OSC_IN	I	OSC_IN	I		
OSC_OUT	O	OSC_OUT	O		

表格 3-6 时钟引脚

举例时钟供应原理图

时钟源的布局对于系统的 EMC/EMI 有最大的影响。虽然一个 25MHz 时钟频率不要求大量的设计工作，但是以下规则有助于改善系统功能。

- ◆ 时钟源尽可能靠近以太网从站控制器布置；
- ◆ 在这个区域的地层应该无缝；
- ◆ 电源对时钟源和以太网从站控制器时钟呈现低阻抗；
- ◆ 应该使用时钟元器件推荐的电容值；。
- ◆ 时钟源和以太网从站控制器时钟输入之间的电容量应该相同，具体数值取决于线路板的几何特性；
- ◆ CLM1200 的时钟源的精度为 25ppm 以上。

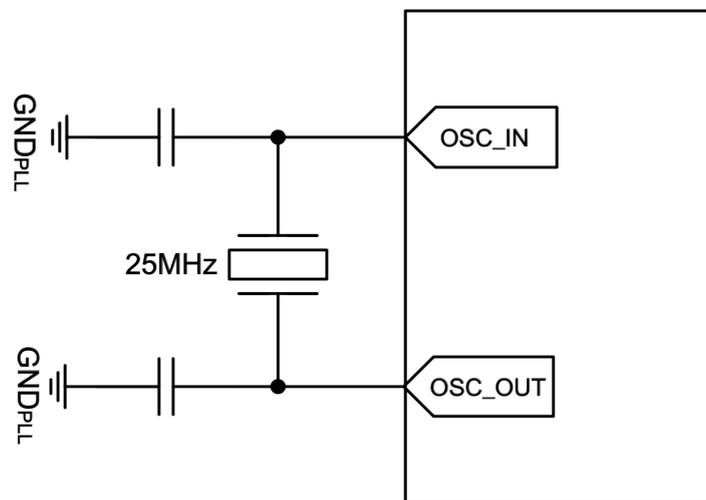


图 3-3 CLM1200 石英晶体时钟源的连接

注意：负载电容的值取决于晶体的负载电容，以太网从站控制器的引脚电容 C_{os} ，以及板子设计（电容典型值为 12pF, 此时 $CL=10pF$ ）。

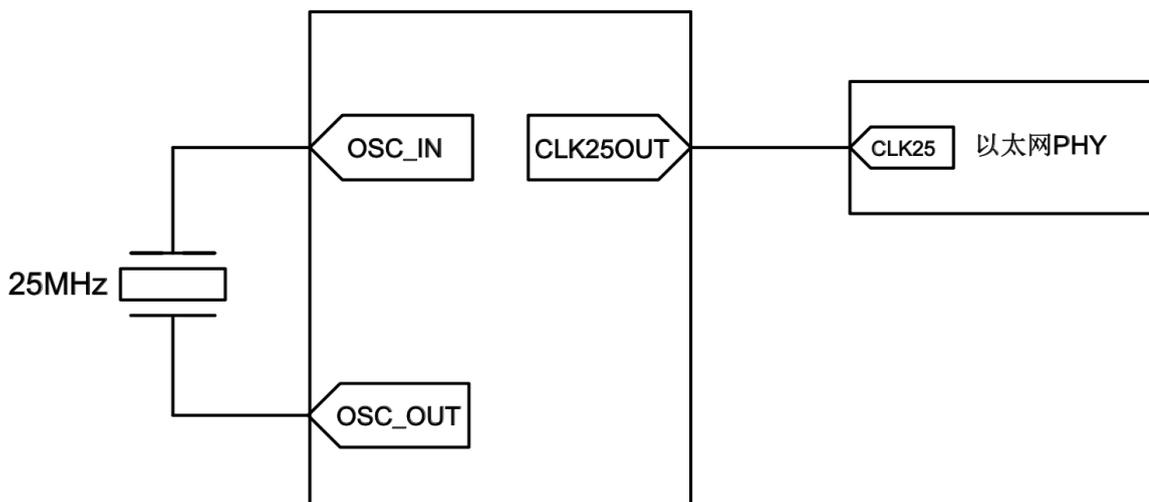


图 3-4 CLM1200 和以太网从站 PHY 使用石英晶体时的连接

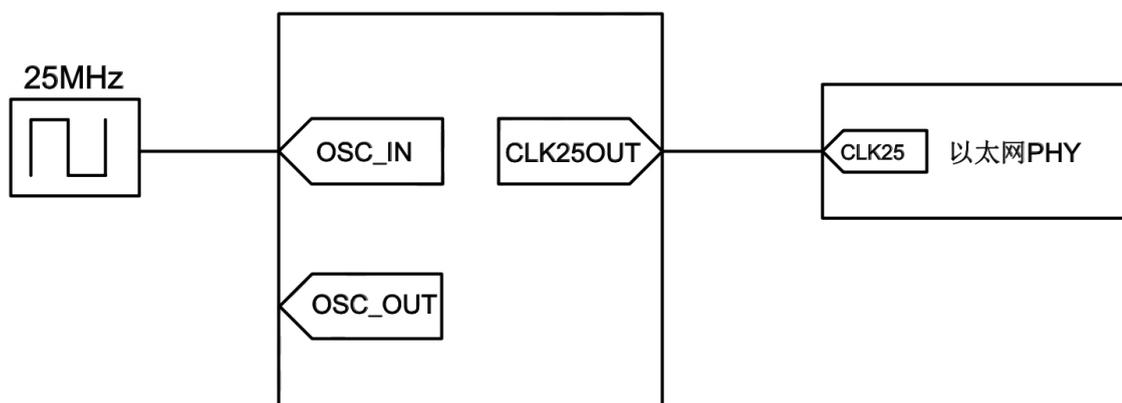


图 3-5 CLM1200 和以太网从站 PHY 使用振荡器时的连接

复位引脚

管脚 RESET 是集电极开路输入/输出信号（低电平有效），表示 CLM1200 的复位状态，以下三种情况可以引起 CLM1200 内部复位：

1. 在上电之后进入复位状态；
2. 供电电压过低；
3. 由写复位寄存器 0x0040 触发一次复位。

内部复位时，RESET 信号可以用于复位其它外围芯片，例如以太网 PHY 芯片。

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
RESET	BD	RESET	BD		3.3 kΩ PU

表格 3-7 复位引脚

举例复位引脚原理图

RESET 信号由外部设备拉低时，CLM1200 也进入复位状态，RESET 引脚连接如下图。

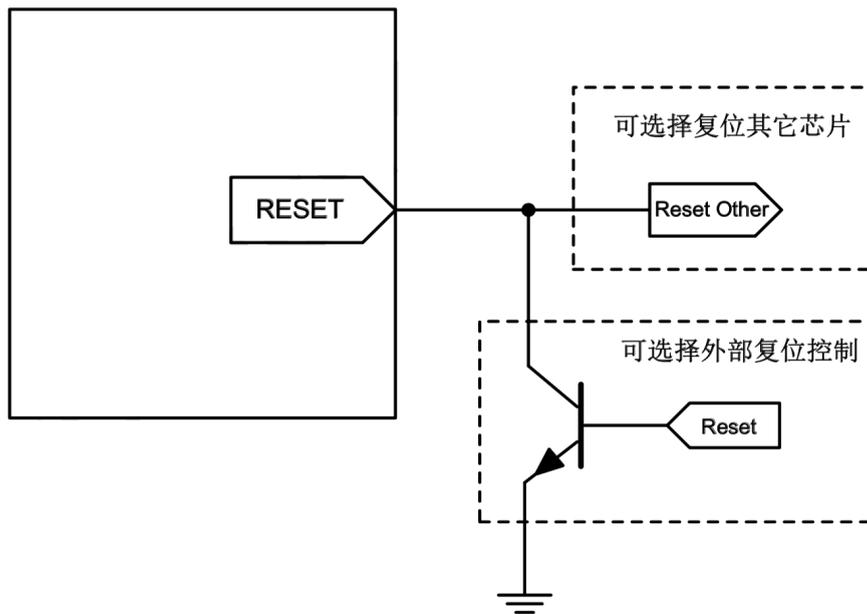


图 3-6 RESET 引脚连接图

建议连接 PHY 复位引脚和微控制器到 RESET 引脚。为了确保 PHY 在 CLM1200 复位时(失帧时)，PHY 芯片不会有交流，以及在无意识情况下，允许凭借以太网复位整个以太网从站器件。

RBIAS 引脚

CLM1200 的 RBIAS 引脚用于连接对 LVDS-TX 信号进行电流调节的偏压电阻，该引脚连接 11kΩ 电阻到地。

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
RBIAS		RBIAS			

表格 3-8 RBIAS 引脚

注意：如果仅仅 MII 接口被使用（没有 LVDS 接口使用），RBIAS 电阻选取 10-15kΩ。

举例 RBIAS 电阻原理图

LVDS 的 RBIAS 电阻值为 $R_{BIAS}=11k\Omega$ 。

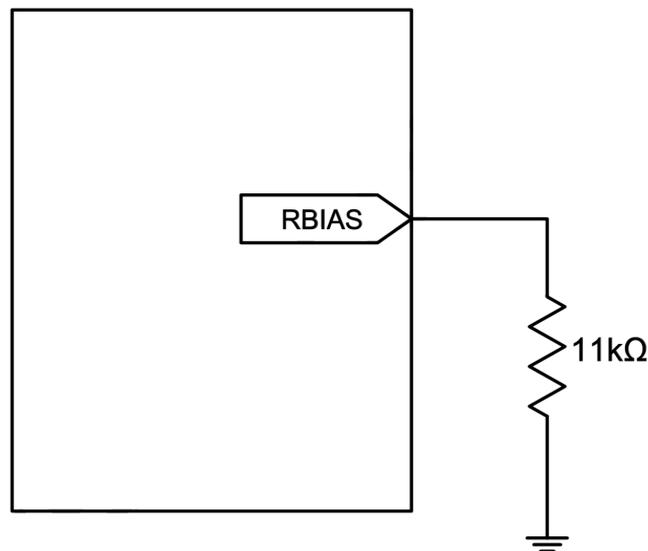


图 3-7 LVDS 偏压电阻

配置信号引脚

配置信号引脚在上电时通过外接上拉或下拉电阻来配置 CLM1200。上电时，配置信号引脚作为输入由 CLM1200 锁存配置信号信息。上电之后，这些引脚都有分配的操作功能，必要时引脚信号方向也可以改变。RESET信号指示上电配置完成。若未重新上电，在随后的复位阶段，CLM1200 不会再锁存配置信号信息，配置引脚一直作为状态输出。

外接下拉电阻时，配置信号为 0;使用上拉电阻时，配置信号为 1。一些配置信号引脚也可以外接 LED 作为状态输出引脚，LED 的极性取决于需要配置的值。

举例配置信号输入/指示灯输出引脚原理图

如果配置信号为 1，需要外接上拉电阻，引脚输出为 0 (低) 时 LED 导通。如果配置信号为 0，则需外接下拉电阻，引脚输出为 1 (高) 时 LED 导通。如下图所示。

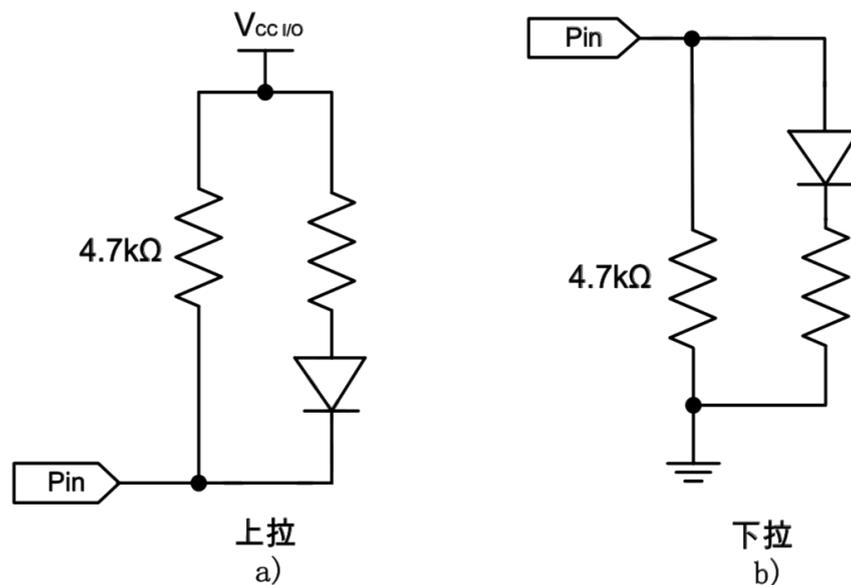


图 3-8 输入/LED 输出引脚双功能配置连接

a)配置信号=1

b)配置信号=0

芯片模式

芯片模式(Chip mode)用于配置两个固定端口(端口 0 和端口 1)的类型。芯片模式影响着可利用 PDI 信号的数量。芯片模式的引脚信息如下表所示。

描述	配置信号	引脚名称	寄存器	P_MODE[1:0]值
芯片模式	MODE[0]	LINKACT(0)/MODE[0]	0x0E00[0]	00 = LVDS/LVDS (端口 0 = LVDS, 端口 1 = LVDS) 01 = 保留 10 = MII/LVDS (端口 0 = MII, 端口 1 = LVDS) 11 = LVDS/MII (端口 0 = LVDS, 端口 1 = MII)
	MODE[1]	LINKACT(1)/MODE[1]	0x0E00[1]	

表格 3-9 芯片模式

CPU_CLK 模式

CLK_MODE 可用于提供一个时钟信号给外部微处理器。如果 CLK_MODE 不是 00, CPU_CLK, 将使用PDI[7]引脚, 此时这个引脚不再用于任何 PDI 信号。CPU_CLK 配置模式如下表所示。

描述	配置信号	引脚名称	寄存器	CLK_MODE[1:0]值
CPU_CLK 模式	CLK_MODE[0]	PERR(0)/CLK_MODE[0]	0x0E00[2]	00 = off, PDI[7]/CPU_CLK 引脚适用于 PDI 01 = 25 MHz 时钟输出在 PDI[7]/CPU_CLK 引脚 10 = 20 MHz 时钟输出在 PDI[7]/CPU_CLK 引脚 11 = 10 MHz 时钟输出在 PDI[7]/CPU_CLK 引脚
	CLK_MODE[1]	PERR(1)/CLK_MODE(1)	0x0E00[3]	

表格 3-10 CPU_CLK 模式

TX 相位移动

MII 接口的 TX 信号(TX_ENA, TX_D[3:0])的相位移动(0/10/20/30ns) 配置通过 C25_SHI[x] 信号获得。为了便于后期调整, 建议通过调整硬件选择支持所有的 C25_SHI[1:0]配置。TX 相位移动情况如下表所示。

描述	配置信号	引脚名称	寄存器	C25_SHI[1:0]值
TX 相位移动	C25_SHI[0]	PDI[10]/TX_D[2]/C25_SHI[0]	0x0E00[4]	00 = MII 接口的 TX 信号无延迟 01 = MII 接口的 TX 信号延迟 10 ns 10 = MII 接口的 TX 信号延迟 20 ns 11 = MII 接口的 TX 信号延迟 30 ns
	C25_SHI[1]	PDI[11]/TX_D[3]/C25_SHI[1]	0x0E00[5]	

表格 3-11 TX 相位偏移

CLK25OUT 使能

工业以太网 PHY 芯片可以通过 CLM1200 的 PDI[6]/CLK25OUT 引脚获取一个 25MHz 的时钟。这仅和芯片模式配置为 10 或 11 时相关。当芯片模式配置为 00, 并且配置 MII 桥为端口 3 时, PDI[6]/CLK25OUT 任何时候都可用于 CLK25OUT。当芯片模式配置为 00, 单未配置 MII 桥为端口3 时, CLK25OUT 不可用的, 此时忽略CLK25OUT 使能。

CLK25OUT 的具体情况如下表所示。

描述	配置信号	引脚名称	寄存器	C25_ENA 值
CLK25OUT 使能	C25_ENA	PDI[9]/TX_D[1]/C25_ENA	0x0E00[6]	0 = 失能, PDI[31]/CLK25OUT2 引脚适用于 PDI 1 = 使能, PDI[31]/CLK25OUT2 引脚输出 25MHz 时钟

表格 3-12 CLK25OUT 使能

PHY 地址偏移

CLM1200 支持 0 或 16 两种PHY 地址偏移配置。

PHY 地址偏移配置, 如下表所示。

描述	配置信号	引脚名称	寄存器	PHYAD_OFF 值
PHY 地址偏移	PHYAD_OFF	PDI[8]/TX_D[0]/PHYAD_OFF	0x0E00[7]	0 = PHY 地址偏移 0 1 = PHY 地址偏移 16

表格 3-13 PHY 地址偏移

SII EEPROM 内存大小

EEPROM_SIZE 决定了EEPROM 的内存大小(和 I²C 地址字节数目)。在 EEPROM 加载开始时, EEPROM_SIZE 取样。EEPROM_SIZE 配置如下表所示:

描述	配置信号	引脚名称	寄存器	EEPROM_SIZE 值
EEPROM 容量	EEPROM_SIZE	RUN/EEPROM_SIZE	0x0502[7]	0 = 单字节地址 (1 Kbit 到 16 Kbit EEPROM) 1 = 双字节地址(32 Kbit 到 4 Mbit EEPROM)

表格 3-14 SII EEPROM 内存大小

SII EEPROM 接口引脚

EEPROM_CLK 为 EEPROM I²C 通信时钟信号（集电极开路输出）。

EEPROM_DATA 为 EEPROM I²C 通信数据信号（集电极开路输出）。

引脚		信号		信号描述	内部上拉/下拉电阻
名称	方向	信号	方向		
EEPROM_CLK	BD	EEPROM_CLK	BD		3.3 kΩ PU
EEPROM_DATA	BD	EEPROM_DATA	BD		3.3 kΩ PU

表格 3-15 SII EEPROM 接口

分布时钟 SYNC/LATCH 和 MII 管理引脚

SYNC/LATCH[x]是作为分布式时钟同步信号（Distributed Clocks SyncSignal）输出还是自锁信号

（LatchSignal）输入, 取决于 SII EEPROM 的配置。如果一个 MII 接口被使用，那么 SYNC/LATCH[1]/MI_DATA 引脚将作为以太网PHY 管理接口数据信号使用，即 MI_DATA。EEPROM 加载前，SYNC/LATCH 信号会一直处于高阻态，不会被驱动，其中 MI_DATA 独立于 EEPROM 加载状态。

注意：MI_DATA 为PHY 管理接口数据，连接外部上拉电阻，推荐阻值 4.7 kΩ。

引脚		没有 MII 接口使用		MII 接口使用		配置信号	内部上拉/下拉电阻
名称	方向	信号	方向	信号	方向		
SYNC/LATCH[0]	BD	SYNC/LATCH[0]	I/O	SYNC/LATCH[0]	I/O		
SYNC/LATCH[1]/MI_DATA	BD	SYNC/LATCH[1]	I/O	MI_DATA	BD		

表格 3-16 DC SYNC/LATCH 和 MII 管理引脚

LED 信号

所有的配置信号引脚也可作为状态输出引脚而外接 LED。LED 的极性取决于需要配置的值：如果配置信号为 1，需要外接上拉电阻，引脚输出为 0（低）时发光二极管（LED）导通；如果配置信号为 0，引脚需要外接下拉电阻，引脚输出为 1（高）时发光二极管（LED）导通。

引脚		信号		配置	内部上拉/下拉电阻
名称	方向	信号	方向		
RUN/EEPROM_SIZE	BD	RUN	O	EEPROM_SIZE	WPD
LINKACT(0)/MODE[0]	BD	LINKACT(0)	O	MODE[0]	WPD
PERR(0)/CLK_MODE[0]	BD	PERR(0)	O	CLK_MODE[0]	WPD
LINKACT(1)/MODE[1]	BD	LINKACT(1)	O	MODE[1]	WPD
PERR(1)/CLK_MODE[1]	BD	PERR(1)	O	CLK_MODE[1]	WPD

表格 3-17 LED 引脚

RUN/EEPROM_SIZE 引脚中 RUN 信号为运行指示灯信号。在 EEPROM 存取加载开始时，SII EEPROM 内存大小配置 (1 Kbit-16 Kbit 或者 32 Kbit-4 Mbit) 进行取样。否则引脚就会输出 RUN 状态信号，此时外接 LED 为运行指示灯。如果引脚配置拉低，则引脚输出高电平有效，如果引脚配置拉高，则引脚输出低电平有效。

LINKACT(x)/MODE(x) 引脚在上电时，作为芯片模式 (Chip MODE) 配置引脚输入，然后引脚输出逻辑端口 x 的 LINKACT(x) 状态信号，引脚外接指示灯 (LED) 来表示相应连接状态和是否有数据传输活动 (LED 灭表示没有连接，LED 亮表示连接但没有数据传输，LED 闪烁表示连接且有数据在传输)。如果引脚拉低，则引脚 LINKACT(x) 输出高电平有效，如果管脚拉高，则引脚 LINKACT(x) 输出低电平有效。

PERR(x)/CLK_MODE(x) 引脚上电时，作为 CPU_CLK 模式配置引脚输入，然后引脚输出相应逻辑端口 x 的 PERR(x) 状态信号，引脚外接指示灯 (LED) 表示相应故障状态。如果引脚拉低，则引脚 PERR(x) 输出高电平有效，如果管脚拉高，则引脚 PERR(x) 输出低电平有效。

注意：PERR(x) 引脚的外接指示灯 (LED) 并不是以太网指示说明的部分。这些指示灯是为了测试和排除故障。当芯片物理层发生接收故障时，这些 PERR(x) 引脚的外接指示灯就会闪烁。不能混淆 PERR(x) 的指示灯和应用层故障指示灯 (ERR LED)，故障指示灯不是被以太网从站控制器决定的，而是由微控制器控制的。

物理端口和 PDI 引脚

CLM1200 引脚分配是为了获得芯片规模和功能的最佳组合，因此一些引脚根据芯片模式， 可以用作交流或者PDI 功能进行复用。选定的芯片模式也会减少作为 PDI 引脚的可能。

CLM1200 有 18 个 PDI 引脚 (PDI[17:0])。将其分为 2 组: PDI[7:0]和 PDI[17:8]。PDI[7:0]总是能适用于 PDI 信号。PDI[17:8]在芯片模式 00 下适用于 PDI 信号，在芯片模式 10/11 下则用于 MII 信号。

芯片模式和 PDI 信号可能的组合如下表所示。

芯片模式	SPI	数字量 I/O	LVDS 桥 (逻辑端口 3)	MI I 桥 (逻辑端口 3)
模式 00	SPI +12 Bit GPO	16 Bit I/O+控制/状态信号	LVDS 桥+12 Bit GPO	MI I 桥 +CLK25OUT +1Bit GPO
模式 01/11	SPI +12 Bit GPO	8 Bit I/O	LVDS 桥 +2 Bit GPO	不可用

表格 3-18 PDI 和芯片模式的组合配置

MII 信号

下表描述了 CLM1200 所使用的 MII 接口信号。

信号	方向	描述
LINK_MII(x)	I	100Mbit/s 的全双工连接状态
RX_CLK(x)	I	接收时钟
RX_DV(x)	I	接收数据有效
RX_D(x)[3:0]	I	接收数据
RX_ERR(x)	I	接收出错
TX_ENA(x)	O	发送使能
TX_D(x)[3:0]	O	发送数据
MII_CLK	O	PHY 管理接口时钟 (MDC)

表格 3-19 MII 信号

CLK25OUT 信号

当 CLM1200 采用外接晶体获取时 25MHz 钟源时，其需要通过 CLK25OUT 引脚为以太网PHY 芯片提供一个 25MHz 的时钟源信号。如果 CLM1200 使用振荡器作为 25MHz 时钟源输入，以太网PHY 芯片必须通过 CLK25OUT 引脚获取 25MHz 时钟。在芯片模式 00 下,除非 MII 桥端口通过 SII EEPROM 被配置，否则PDI[6]/CLK25OUT 引脚不能作为 CLK25OUT 信号使用。当 MII 桥端口被配置时，不管C25_ENA 引脚是否使能，CLK25OUT 信号都是可用的。在芯片模式为 10/11 时，可通过使能配置信号 C25_ENA，使PDI[6]/CLK25OUT 引脚作为 CLK25OUT 信号。

如果使能信号被配置使能，在外部或者以太网复位期间，CLK25OUT 都会提供一个时钟信号，仅当上电复位期间时钟输出关闭。

举例 MII 连接原理图

要特别注意 TX 信号移动和 PHY 地址的配置。

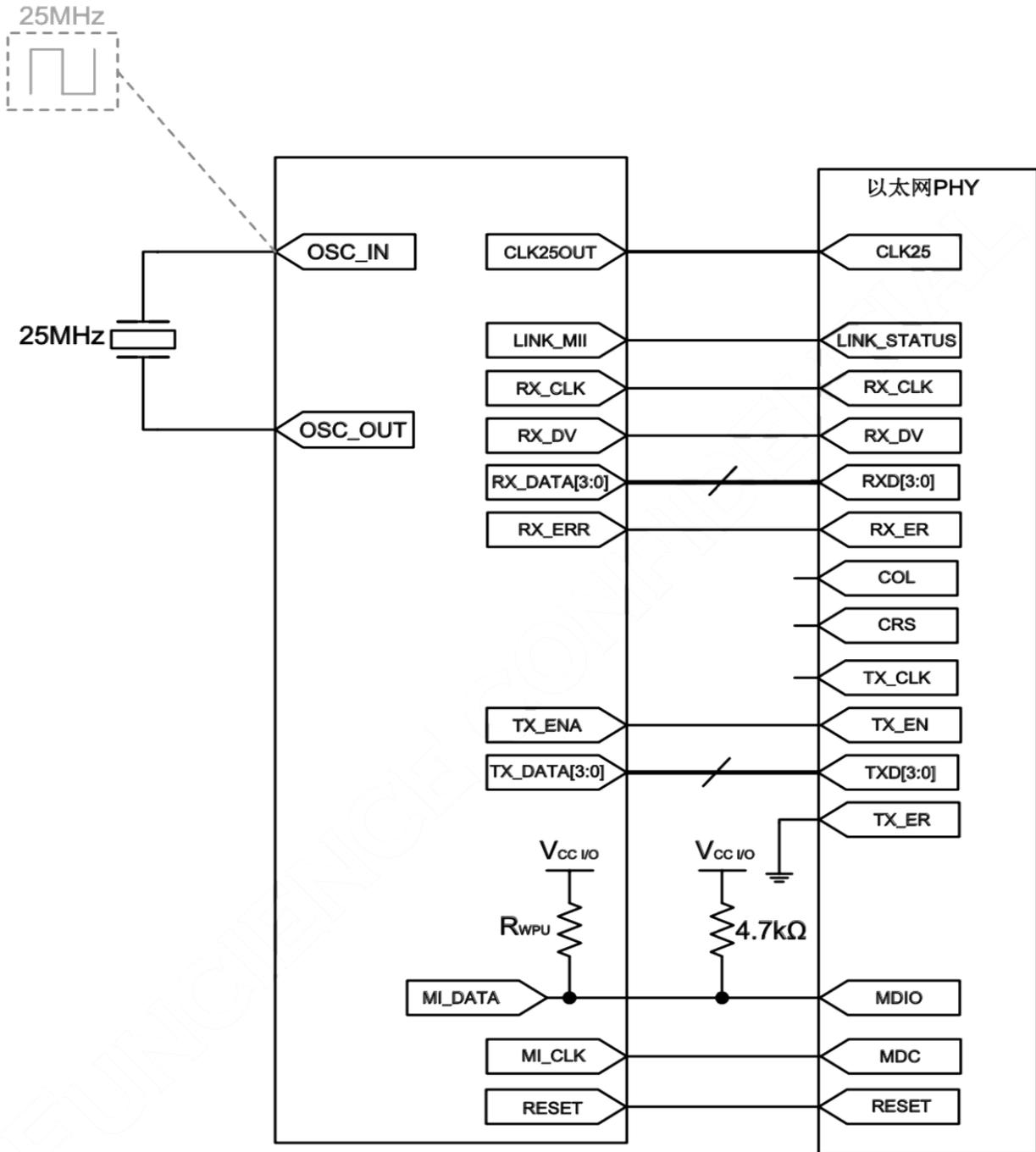


图 3-9 PHY连接

LVDS 信号

CLM1200 的 LVDS 端口具有开路故障安全。LVDS 可以满足快速以太网 100Mbit/s 数据传输的波特率。具体信号描述如下表所示。

信号	方向	描述
LVDS(x)-RX+ LVDS(x)-RX-	I	LVDS 接口接收信号。即使端口未配置成 LVDS 接口，LVDS(x) -RX+ 包含了一个内部下拉电阻 R_{LI+} ，LVDS(x) -RX- 包含了一个内部上拉电阻 R_{LI-} 。
LVDS(x)-TX+ LVDS(x)-TX-	O	LVDS 接口发送信号
RBIAS		用于对 LVDS-TX 信号进行电流调节的偏压电阻

表格 3-20 LVDS 信号

举例 LVDS 端口连接原理图

每对 LVDS 线对只需要跨接一个 100Ω 的负载电阻 R_L 。仅在 LVDS 端口需要，且靠近 LVDS_RX 放置。

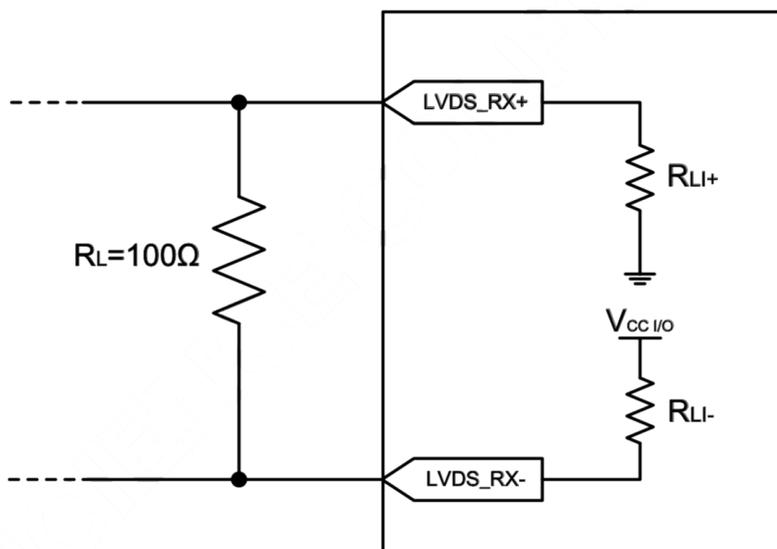


图 3-10 LVDS 端口接收端

PDI 引脚

PDI[x]信号的功能取决于存储在器件 SII EEPROM 中的配置。EEPROM 加载前，PDI 信号都会处于高阻态不会被驱动。数字量输出尤其需要注意这点。没有 PDI 被配置，则 PDI 信号都会处于高阻态不会被驱动，PDI 控制寄存器 0x0140=0x00。

CLM1200 可通过引脚 PDI[7]/CPU_CLK 提供给微控制器一个时钟信号。CPU_CLK 的输出设定值由 CLK_MODE 配置决定。当 CPU_CLK 使能时，则 PDI[7]不能作为 PDI 使用，比如此时 I/O[7] 不可用作数字量 I/O 的 PDI。

如果被配置，在外部或者以太网复位期间，CPU_CLK 提供一个时钟信号，仅当上电复位期间 时钟输出关闭。

端口 0/1 和 PDI[17:8] 引脚

下表为端口 0/1 和用于端口 0 和 1 的 PDI 信号。

引脚		配置	MODE[1:0]=00		内部上拉/下拉电阻
名称	方向		信号	方向	
PDI[8]/TX_D[0]/PHYAD_OFF	BD	PHYAD_OFF	PDI[8]	BD	
PDI[9]/TX_D[1]/C25_ENA	BD	C25_ENA	PDI[9]	BD	
PDI[10]/TX_D[2]/C25_SHI[0]	BD	C25_SHI[0]	PDI[10]	BD	
PDI[11]/TX_D[3]/C25_SHI[1]	BD	C25_SHI[1]	PDI[11]	BD	
PDI[12]/RX_CLK	BD		PDI[12]	BD	
PDI[13]/RX_DV	BD		PDI[13]	BD	
PDI[14]/RX_D[0]	BD		PDI[14]	BD	
PDI[15]/RX_D[1]	BD		PDI[15]	BD	
PDI[16]/RX_D[2]	BD		PDI[16]	BD	
PDI[17]/RX_D[3]	BD		PDI[17]	BD	
LVDS{1}-RX-/LINK_MII	LI-/I		LVDS(1)-RX-	LI-	27 kΩ PU
LVDS{1}-RX+/RX_ERR	LI+/I		LVDS(1)-RX+	LI+	27 kΩ PD
LVDS{1}-TX-/MI_CLK	LO-/O		LVDS(1)-TX-	LO-	
LVDS{1}-TX+/TX_ENA	LO+/O		LVDS(1)-TX+	LO+	
LVDS{0}-RX-	LI-		LVDS(0)-RX-	LI-	27 kΩ PU
LVDS{0}-RX+	LI+		LVDS(0)-RX+	LI+	27 kΩ PD
LVDS{0}-TX-	LO-		LVDS(0)-TX-	LO-	
LVDS{0}-TX+	LO+		LVDS(0)-TX+	LO+	

表格 3-21 端口 0/1 和 PDI 信号(配置芯片模式 00)

引脚		MODE[1:0]=10		MODE[1:0]=11		内部上拉/下拉电阻
名称	方向	信号	方向	信号	方向	
PDI[8]/TX_D[0]/PHYAD_OFF	BD	TX_D(0)[0]	O	TX_D(1)[0]	O	
PDI[9]/TX_D[1]/C25_ENA	BD	TX_D(0)[1]	O	TX_D(1)[1]	O	
PDI[10]/TX_D[2]/C25_SHI[0]	BD	TX_D(0)[2]	O	TX_D(1)[2]	O	
PDI[11]/TX_D[3]/C25_SHI[1]	BD	TX_D(0)[3]	O	TX_D(1)[3]	O	
PDI[12]/RX_CLK	BD	RX_CLK(0)	I	RX_CLK(1)	I	
PDI[13]/RX_DV	BD	RX_DV(0)	I	RX_DV(1)	I	
PDI[14]/RX_D[0]	BD	RX_D(0)[0]	I	RX_D(1)[0]	I	
PDI[15]/RX_D[1]	BD	RX_D(0)[1]	I	RX_D(1)[1]	I	
PDI[16]/RX_D[2]	BD	RX_D(0)[2]	I	RX_D(1)[2]	I	
PDI[17]/RX_D[3]	BD	RX_D(0)[3]	I	RX_D(1)[3]	I	
LVDS{1}-RX-/LINK_MII	LI-/I	LINK_MII(0)	I	LINK_MII(1)	I	27 kΩ PU
LVDS{1}-RX+/RX_ERR	LI+/I	RX_ERR(0)	I	RX_ERR(1)	I	27 kΩ PD
LVDS{1}-TX-/MI_CLK	LO-/O	MI_CLK	O	MI_CLK	O	
LVDS{1}-TX+/TX_ENA	LO+/O	TX_ENA(0)	O	TX_ENA(1)	O	
LVDS{0}-RX-	LI-	LVDS(1)-RX-	LI-	LVDS(0)-RX-	LI-	27 kΩ PU
LVDS{0}-RX+	LI+	LVDS(1)-RX+	LI+	LVDS(0)-RX+	LI+	27 kΩ PD
LVDS{0}-TX-	LO-	LVDS(1)-TX-	LO-	LVDS(0)-TX-	LO-	
LVDS{0}-TX+	LO+	LVDS(1)-TX+	LO+	LVDS(0)-TX+	LO+	

表格 3-22 端口 0/1 和 PDI 信号(配置芯片模式 10/11)

PDI[7:0]信号

下表展示了 PDI[7:0]信号。所有的PDI 引脚方向取决于存储在 SII EEPROM 中的PDI 配置。

引脚		PDI, C25_ENA=0, CLK_MODE=00		PDI, C25_ENA=1, CLK_MODE/=00		内部上拉/ 下拉电阻
名称	方向	信号	方向	信号	方向	
PDI[0]	BD/LO+	PDI[0]	BD/LO+	PDI[0]	BD/LO+	
PDI[1]	BD/LO-	PDI[1]	BD/LO-	PDI[1]	BD/LO-	
PDI[2]	BD/LI+	PDI[2]	BD/LI+	PDI[2]	BD/LI+	27 kΩ PD
PDI[3]	BD/LI-	PDI[3]	BD/LI-	PDI[3]	BD/LI-	27 kΩ PU
PDI[4]	BD	PDI[4]	BD	PDI[4]	BD	
PDI[5]	BD	PDI[5]	BD	PDI[5]	BD	
PDI[6]/CLK25OUT	BD	PDI[6]	BD	CLK25OUT	O	
PDI[7]/CPU_CLK	BD	PDI[7]	BD	CPU_CLK	O	

表格 3-23 PDI 引脚

PDI 接口

CLM1200 芯片的应用数据接口称为过程数据接口(Process Data Interface)或物理设备接口 (Physical Device Interface),即 PDI 接口。根据选择的 PDI(SII EEPROM)对 PDI 信号进行引脚分配。PDI 的选择和 PDI 信号引脚分配服从端口配置约束。数字量 I/O 和 SPI 接口的 PDI 在任何配置中都是可用的,但是数字量 I/O 的字节量根据配置可以减少。MII 桥端口的 PDI 仅在芯片模式为 00 时可用。

数字量 I/O 接口

PDI 信号	MODE[1:0]=00		MODE[1:0]=10/11	
	信号	方向	信号	方向
PDI[0]	I/O[0]	BD	I/O[0]	BD
PDI[1]	I/O[1]	BD	I/O[1]	BD
PDI[2]	I/O[2]	BD	I/O[2]	BD
PDI[3]	I/O[3]	BD	I/O[3]	BD
PDI[4]	I/O[4]	BD	I/O[4]	BD
PDI[5]	I/O[5]	BD	I/O[5]	BD
PDI[6]/CLK25OUT	I/O[6]	BD	I/O[6]	BD
PDI[7]/CPU_CLK	I/O[7]	BD	I/O[7]	BD
PDI[8]	I/O[8]	BD	MII	
PDI[9]	I/O[9]	BD		
PDI[10]	I/O[10]	BD		
PDI[11]	I/O[11]	BD		
PDI[12]	I/O[12]	BD		
PDI[13]	I/O[13]	BD		
PDI[14]	I/O[14]	BD		
PDI[15]	I/O[15]	BD		
PDI[16]	OUTVALID/WD_TRIG	O		
PDI[17]	LATCH_IN/SOF	I/O		

表格 3-24 数字量 I/O 接口的映射

SPI 接口引脚分

PDI 信号	MODE[1:0]=00		MODE[1:0]=10/11	
	信号	方向	信号	方向
PDI[0]	SPI_CLK	I	SPI_CLK	I
PDI[1]	SPI_SEL	I	SPI_SEL	I
PDI[2]	SPI_DI	I	SPI_DI	I
PDI[3]	SPI_DO	O	SPI_DO	O
PDI[4]	SPI_IRQ	O	SPI_IRQ	O
PDI[5]	EEPROM_LOADED	O	EEPROM_LOADED	O
PDI[6]/CLK25OUT	GPO[0]	O	GPO[0]	O
PDI[7]/CPU_CLK	GPO[1]	O	GPO[1]	O
PDI[8]	GPO[2]	O	MII	
PDI[9]	GPO[3]	O		
PDI[10]	GPO[4]	O		
PDI[11]	GPO[5]	O		
PDI[12]	GPO[6]	O		
PDI[13]	GPO[7]	O		
PDI[14]	GPO[8]	O		
PDI[15]	GPO[9]	O		
PDI[16]	GPO[10]	O		
PDI[17]	GPO[11]	O		

表格 3-25 SPI 接口的映射

LVDS/MII 桥端口(逻辑端口 3)

桥端口是通过 SII EEPROM 进行配置的逻辑端口 3，在上电后端口 3 不能直接使用。EEPROM 成功加载时，桥端口可用。端口 3 的回路最初关闭，必须通过主站打开。桥端口可以配置成 LVDS 或 MII 接口。MII 桥端口仅在芯片模式为 00 时可用。PERR(3)和 LINKACT(3)的极性为高电平有效。

PDI 信号	MODE[1:0]=00		MODE[1:0]=10/11	
	信号	方向	信号	方向
PDI[0]	LVDS(3)_TX+	LO+	LVDS(3)_TX+	LO+
PDI[1]	LVDS (3)_TX-	LO-	LVDS (3)_TX-	LO-
PDI[2]	LVDS (3)_RX+	LI+	LVDS (3)_RX+	LI+
PDI[3]	LVDS (3)_RX-	LI-	LVDS (3)_RX-	LI-
PDI[4]	PERR(3)	O	PERR(3)	O
PDI[5]	LINKACT(3)	O	LINKACT(3)	O
PDI[6]/CLK25OUT	GPO[0]	O	GPO[0]	O
PDI[7]/CPU_CLK	GPO[1]	O	GPO[1]	O
PDI[8]	GPO[2]	O	MII	
PDI[9]	GPO[3]	O		
PDI[10]	GPO[4]	O		
PDI[11]	GPO[5]	O		
PDI[12]	GPO[6]	O		
PDI[13]	GPO[7]	O		
PDI[14]	GPO[8]	O		
PDI[15]	GPO[9]	O		
PDI[16]	GPO[10]	O		
PDI[17]	GPO[11]	O		

表格 3-26 LVDS 桥信号的映射

PDI 信号	MODE[1:0]=00	
	信号	方向
PDI[0]	TX_ENA(3)	O
PDI[1]	MI_CLK	O
PDI[2]	RX_ERR(3)	I
PDI[3]	LINK_MII(3)	I
PDI[4]	PERR(3)	O
PDI[5]	LINKACT(3)	O
PDI[6]/CLK25OUT	CLK25OUT	O
PDI[7]/CPU_CLK	GPO[1]	O
PDI[8]	TX_D(3)[0]	O
PDI[9]	TX_D(3)[1]	O
PDI[10]	TX_D(3)[2]	O
PDI[11]	TX_D(3)[3]	O
PDI[12]	RX_CLK(3)	I
PDI[13]	RX_DV(3)	I
PDI[14]	RX_D(3)[0]	I
PDI[15]	RX_D(3)[1]	I
PDI[16]	RX_D(3)[2]	I
PDI[17]	RX_D(3)[3]	I

表格 3-27 MII 桥接口的映射

测试模式引脚

TESTMODE 引脚为用于测试的保留引脚，连接到地。

引脚		信号		配置	内部上拉/下拉电阻
名称	方向	信号	方向		
TESTMODE	I	TESTMODE	I		WPD

表格 3-28 TESTMODE 引脚

内存映射

工业以太网从控制器拥有 64 Kbyte 的地址空间。前 4 Kbyte 的地址空间(0x0000:0x0FFF)分配给了寄存器。过程数据 RAM 区从地址 0x1000 开始，结束于地址 0x13FF，大小为 1 Kbyte。

下表是可用寄存器的一个总结：

地址	长度(Byte)	以太网从站控制器描述	CLM1200
0x0000	1	类型	x
0x0001	1	修订	x
0x0002:0x0003	2	编译	x
0x0004	1	支持 FMMU	x
0x0005	1	支持同步管理器 SM (SyncManager)	x
0x0006	1	RAM 大小	x
0x0007	1	端口描述	x
0x0008:0x0009	2	以太网从站控制器特性支持	x
0x0010:0x0011	2	配置站点地址	x
0x0012:0x0013	2	配置站点别名	x
0x0020	1	寄存器写使能	x
0x0021	1	寄存器写保护	x
0x0030	1	以太网从站控制器写使能	x
0x0031	1	以太网从站控制器写保护	x
0x0040	1	以太网从站控制器复位以太网	x
0x0041	1	以太网从站控制器复位 PDI	-
0x0100:0x0101	2	以太网从站控制器 DL 控制	x
0x0102:0x0103	2	扩展以太网从站控制器 DL 控制	x
0x0108:0x0109	2	物理读/写偏移	x
0x0110:0x0111	2	以太网从站控制器 DL 状态	x
0x0120	5 bits [4:0]	AL 控制	x
0x0120:0x0121	2	AL 控制	x
0x0130	5 bits [4:0]	AL 状态	x
0x0130:0x0131	2	AL 状态	x
0x0134:0x0135	2	AL 状态码	x
0x0138	1	运行 LED 覆盖	-
0x0139	1	错误 LED 覆盖	-
0x0140	1	PDI 控制	x
0x0141	1	以太网从站控制器配置	x
0x014E:0x014F	2	PDI 信息	-
0x0150	1	PDI 配置	x
0x0151	1	DC Sync/Latch 接口配置	x
0x0152:0x0153	2	扩展 PDI 配置	x
0x0200:0x0201	2	以太网事件屏蔽	x
0x0204:0x0207	4	PDI AL 事件屏蔽	x
0x0210:0x0211	2	以太网事件请求	x
0x0220:0x0223	4	AL 事件请求	x

0x0300:0x0307	4*2	接收 (RX) 错误计数器 [3:0]	X
0x0308:0x030B	4*1	转发接收 (RX) 错误计数器 [3:0]	X
0x030C	1	以太网处理单元错误计数器	-
0x030D	1	PDI 错误计数器	-
0x030E	1	PDI 错误码	-
0x0310:0x0313	4*1	链接丢失计数器[3:0]	X
0x0400:0x0401	2	看门狗分频器	X
0x0410:0x0411	2	PDI 看门狗计时器	X
0x0420:0x0421	2	过程数据看门狗计时器	X
0x0440:0x0441	2	过程数据看门狗状态	X
0x0442	1	过程数据看门狗计数器	X
0x0443	1	PDI 看门狗计数器	X
0x0500:0x050F	16	SII EEPROM 接口	X
0x0510:0x0515	6	MII 管理器接口	X
0x0516:0x0517	2	MII 管理器操作状态	-
0x0518:0x051B	4	PHY 端口状态[3:0]	-
0x0600:0x06FC	16*13	FMMU[15:0]	3
0x0800:0x087F	16*8	同步管理器 SM[15:0]	4
0x0900:0x090F	4*4	分布时钟 DC – 接收时间	X
0x0910:0x0917	8	DC –系统时间	X
0x0918:0x091F	8	DC – EPU 接收时间	X
0x0920:0x0927	8	DC –系统时间偏移	X
0x0928:0x092B	4	DC –系统时间延迟	X
0x092C:0x092F	4	DC –系统处理时差	X
0x0930:0x0931	2	DC –速度计数器开始	X
0x0932:0x0933	2	DC –速度计数器差异	X
0x0934	1	DC –系统时差滤波深度	X
0x0935	1	DC –速度计数器滤波深度	X
0x0936	1	DC –接收时间锁存模式	X
0x0980	1	DC –周期单元控制	X
0x0981	1	DC –激活	X
0x0982:0x0983	2	DC –SYNC 信号脉冲长度	X
0x0984	1	DC –激活状态	-
0x098E	1	DC – SYNC0 信号状态	X
0x098F	1	DC – SYNC1 信号状态	X
0x0990:0x0997	8	DC –下一个周期操控时间/下一个 SYNC0 脉冲	X

0x0998:0x099F	8	DC – 下一个 SYNC1 信号脉冲	x
0x09A0:0x09A3	4	DC – SYNC0 周期时间	x
0x09A4:0x09A7	4	DC – SYNC1 周期时间	x
0x09A8	1	DC – Latch0 控制	x
0x09A9	1	DC – Latch1 控制	x
0x09AE	1	DC – Latch0 状态	x
0x09AF	1	DC – Latch1 状态	x
0x09B0:0x09B7	8	DC – Latch0 上升沿	x
0x09B8:0x09BF	8	DC – Latch0 下降沿	x

表格 4-1 CLM1200 寄存器分布

x: 可用

-: 不可用

io: PDI 接口的数字 I/O 被选中时, 可用

电气特性

DC 特性

符号	参数	条件	最小	典型	最大	单位
V _{CC I/O LDO}	内部 LDO 输出电压 V _{CC I/O}			3.2		V
V _{CC Core LDO}	内部 LDO 输出电压 V _{CC Core/VCC PLL}			1.8		V
V _{Reset I/O}	V _{CC I/O} 的复位门檻电压			TBD		V
V _{Reset Core}	V _{CC Core} 的复位门檻电压			TBD		V
V _{IL}	输入低电压(不包含 OSC_IN 引脚)					V
V _{IH}	输入高电压(不包含 OSC_IN 引脚)	a) V _{CC I/O} =3.3V b) V _{CC I/O} =5V	TBD		a) TBD b) TBD	V
V _{IT OSC_IN}	OSC_IN 输入门檻电压(没有施密特触发器)	a) V _{CC I/O} =3.3V b) V _{CC I/O} =5V	a) TBD b) TBD	a) TBD b) TBD	a) TBD b) TBD	V
V _{OL}	输出低电压				TBD	V
V _{OH}	输出高电压		TBD			V
V _{OD}	LVDS 差分输出电压		245	350	455	mV
ΔV _{OD}	V _{OD} 在 1 和 0 间的变化	R _L =100 Ω R _{BIAS} =11 kΩ			±50	mV
V _{OC}	LVDS 共模输出电压		1.125	1.25	1.375	V
ΔV _{OC}	V _{OC} 在 1 和 0 间的变化				±50	mV
V _{ID}	LVDS 差分输入电压		100			mV
V _{IC}	LVDS 输入电压范围		0			V
I _{OH}	输出高电流				TBD	mA
I _{OL}	输出低电流				TBD	mA
I _{IL}	输入漏电流(无内部上拉/下拉电阻)				TBD	μA
I _{oL}	输出漏电流(三态, 无内部上拉/下拉电阻)				TBD	μA
R _{PU}	内部上拉电阻		TBD	TBD	TBD	kΩ
R _{WPU}	内部弱上拉电阻	a) V _{CC I/O} =3.3V b) V _{CC I/O} =5V	a) TBD b) TBD	a) TBD b) TBD	a) TBD b) TBD	kΩ
R _{WPD}	内部弱下拉电阻	a) V _{CC I/O} =3.3V b) V _{CC I/O} =5V	a) TBD b) TBD	a) TBD b) TBD	a) TBD b) TBD	kΩ
R _{LI+}	LVDS 接口接收信号(LVDS-RX+引脚) 内部下拉电阻		TBD	TBD	TBD	kΩ
R _{LI-}	LVDS 接口接收信号(LVDS-RX-引脚) 内部上拉电阻		TBD	TBD	TBD	kΩ
R _{BIAS}	LVDS 外部偏压电阻			11		kΩ
R _L	LVDS 接口接收信号(LVDS-RX) 负载电阻			100		Ω
C _{OSC}	OSC_IN/OSC_OUT 引脚电容			12		pF

表格 5-1 CLM1200 直流特性

注意：R_{WPU}，R_{WPD} 不能在外使用，它们仅在 CLM1200 内部有效。没有特殊说明的输入和输出特性适用于所有的无 LVDS 接口的 I/O 信号。

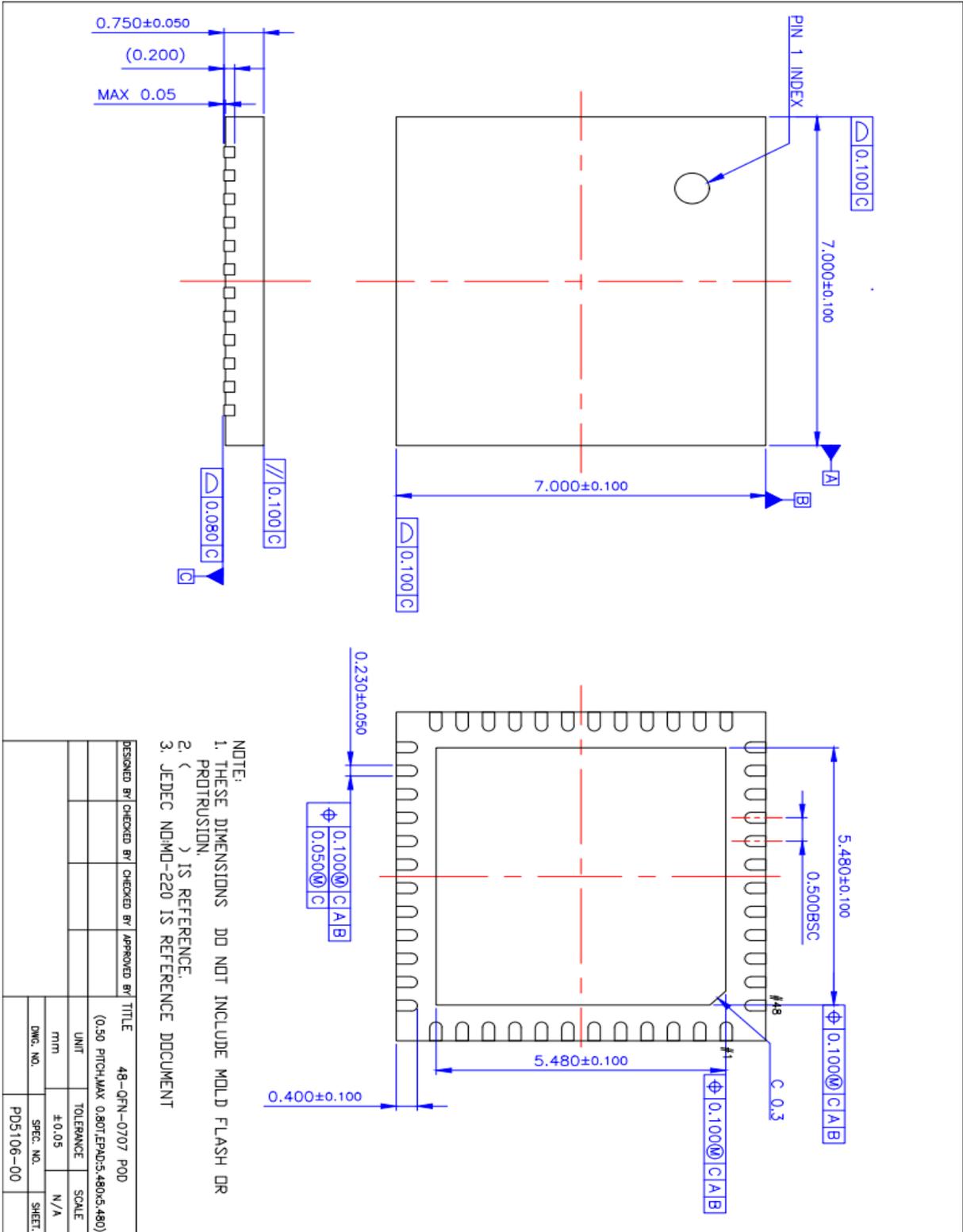
直流特性(供电电流)

配置	外部供电电压			供电电流(典型)		
	Vcc	Vcc I/O	VCC Core	Icc	Icc I/O	IccCore
2LVDS 接口	3.3V	3.3V	内部 LDO	TBD	TBD	-
	5V	内部 LDO	内部 LDO	TBD	-	-
	5V	5V	内部 LDO	TBD	TBD	-
	3.3V	3.3V	1.8V	TBD	TBD	TBD
	5V	内部 LDO	1.8V	TBD	-	TBD
	5V	5V	1.8V	TBD	TBD	TBD
3LVDS 接口	3.3V	3.3V	内部 LDO	TBD	TBD	-
	5V	内部 LDO	内部 LDO	TBD	-	-
	5V	5V	内部 LDO	TBD	TBD	-
	3.3V	3.3V	1.8V	TBD	TBD	TBD
	5V	内部 LDO	1.8V	TBD	-	TBD
	5V	5V	1.8V	TBD	TBD	TBD
1LVDS 接口, 1MII 接口	3.3V	3.3V	内部 LDO	TBD	TBD	-
	5V	内部 LDO	内部 LDO	TBD	-	-
	5V	5V	内部 LDO	TBD	TBD	-
	3.3V	3.3V	1.8V	TBD	TBD	TBD
	5V	内部 LDO	1.8V	TBD	-	TBD
	5V	5V	1.8V	TBD	TBD	TBD
2LVDS 接口, 1MII 接口	3.3V	3.3V	内部 LDO	TBD	TBD	-
	5V	内部 LDO	内部 LDO	TBD	-	-
	5V	5V	内部 LDO	TBD	TBD	-
	3.3V	3.3V	1.8V	TBD	TBD	TBD
	5V	内部 LDO	1.8V	TBD	-	TBD
	5V	5V	1.8V	TBD	TBD	TBD

表格 5-2 CLM1200 直流特性

注意：表中的“内部 LDO”意味着芯片使用了内部 LDO，否则从外部供应电压。供电电流不包含驱动 PDI 和 LED 的输出电流。

封装和订购信息
封装信息
QFN48 封装



订购信息

芯片编号	引脚数	封装
CLM1200	48	QFN48

表格 6-1 订购信息

附录 A 应用注意

TX SHIFT 设置

本芯片在使用时，如果基于 OSC_IN/OSC_OUT 来做时钟参考，应该按照实际情况来调节 TX_SHIFT[1:0] 的值，使得 PHY 芯片能安全的采集到 TX_ENA 和 TX_D。

大多数情况下，不对 TX_SHIFT[1:0] 做任何配置，也可以正常采集数据，但这样的系统并不能保证鲁棒性，因为随着电压和温度的变化，采集点可能会偏离到数据的变化沿，导致采集错误，造成通信不稳定，所以建议将采集点调节至数据最稳定的时刻，提高系统稳定性。

构成延时的示意图如下：

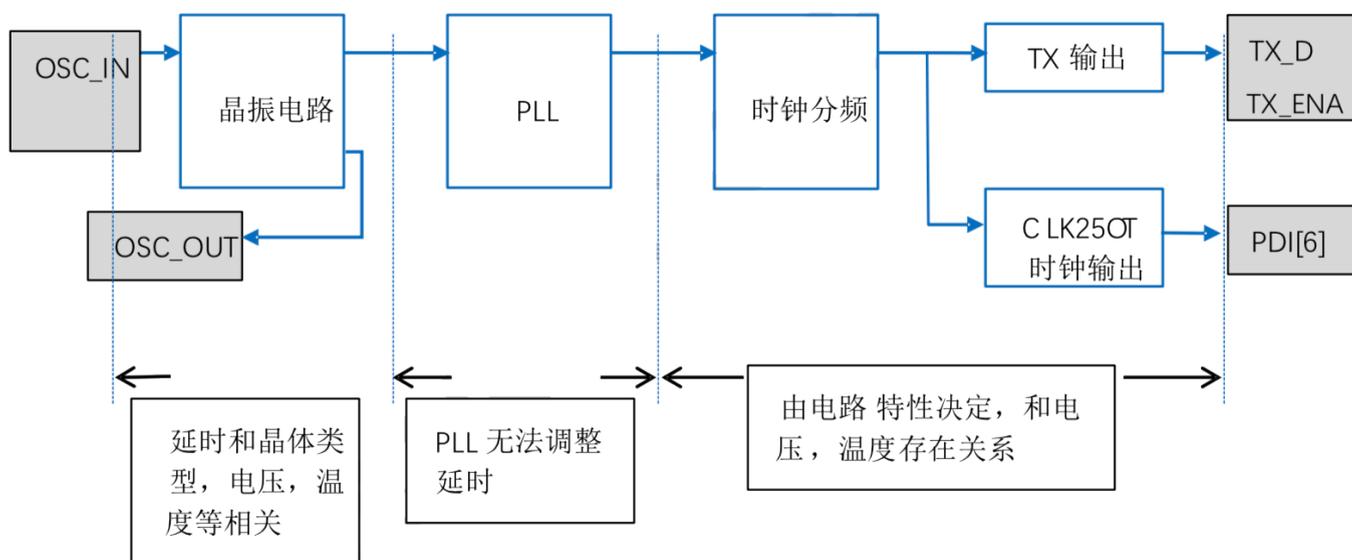


图 A-1 延时示意图

PHY 芯片选择注意事项

芯片的多个模式配置都是通过引脚上接上拉或下拉电阻来实现的，芯片在上电时，会读取引脚上的电平，来判断是上拉还是下拉，从而配置芯片进入特定的模式，因此，如果芯片的配置引脚上除了上拉或下拉电阻，还接了其他芯片，比如 PHY 芯片，那么一定要注意 PHY 芯片内部是否有上拉或下拉电阻，如果有，那么要确保 PHY 芯片和上拉/下拉电阻的合电阻，依然能够满足芯片的配置要求。

比如使用下拉电阻配置 LINKPOL/MI_CLK，同时此引脚还接了 PHY 芯片的 MDC 管脚，部分 PHY 芯片的此管脚内部存在一个 15K 左右的上拉电阻，这个电阻会导致下拉配置识别错误，从而无法正常识别和工作，此时可以将下拉电阻降低，让芯片能读到正确的配置信息。

关于 PHY 芯片的时钟

PHY 芯片的时钟需由 CLM1200 芯片的输出时钟提供，而不能使用振荡器提供，图中虚线所示连接是禁止的。

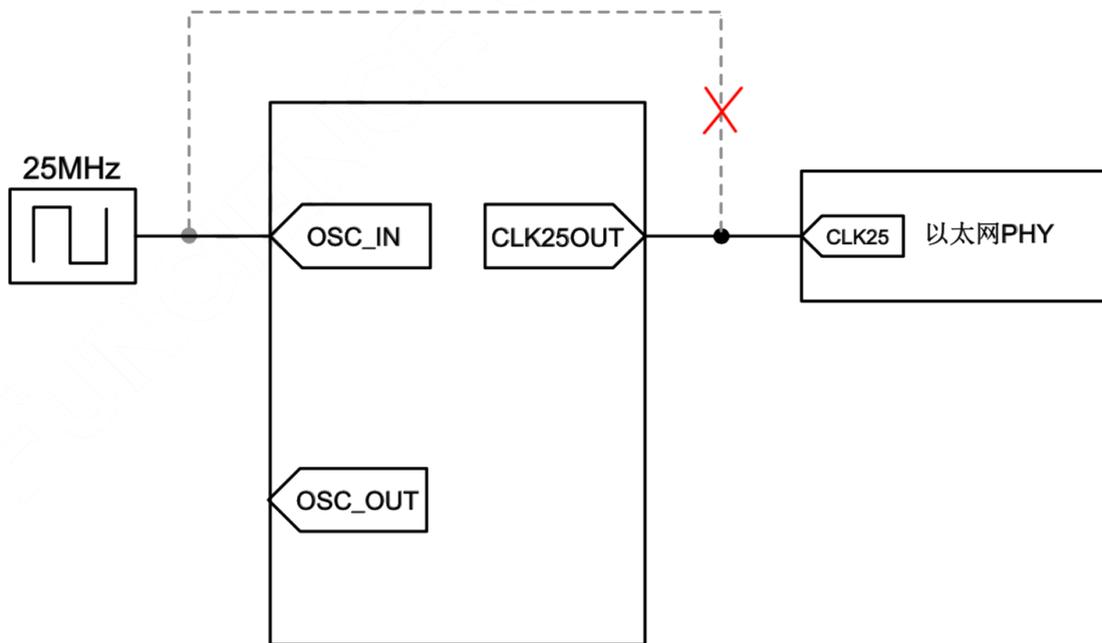


图 A-2 PHY 芯片时钟