

## CLM5615

### 10位数模转换器

#### 特性

- 10 位 CMOS 电压输出 DAC，8 端口封装
- 5V单电源工作
- 3 线串行接口
- 高阻抗基准输入
- 电压输出范围：2 倍基准输入电压
- 内部上电复位
- 低功耗：最大 1.75mW
- 更新速率为 1.21MHz
- 0.5LSB 建立时间：典型 12.5 $\mu$ s
- 单调温度
- 引脚兼容Maxim MAX515

#### 应用

- 电池供电测试仪器
- 数字失调和增益调整
- 电池供电的操作/远程工业控制
- 机械和运动控制设备
- 蜂窝电话

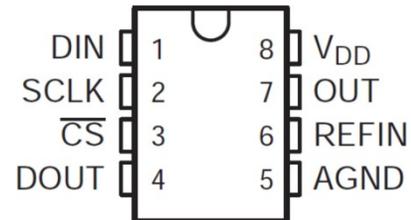
#### 描述

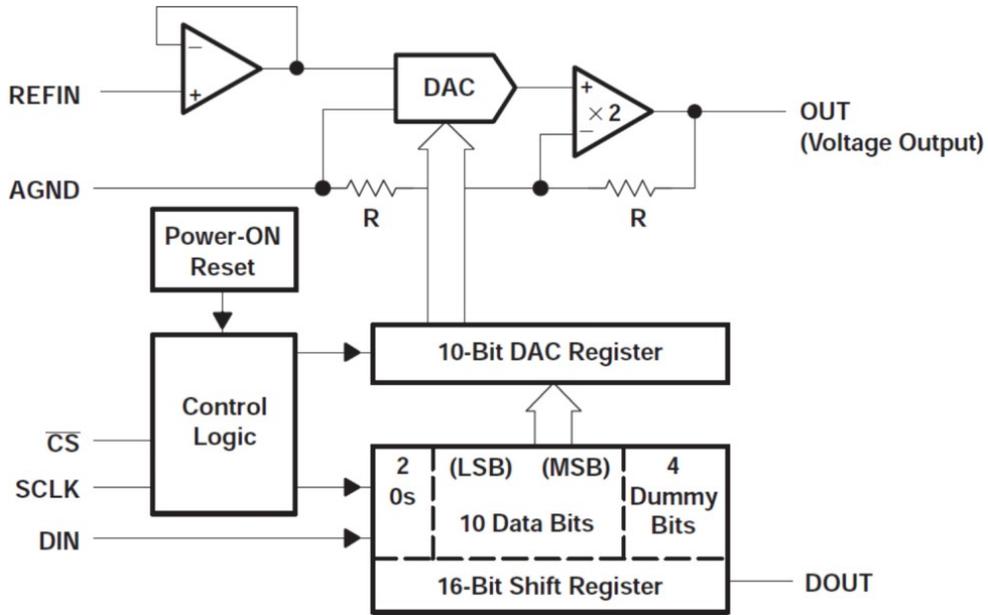
CLM5615是一款带有缓冲基准输入（高阻抗）的 10 位电压输出的数模转换器（DAC）。DAC 的输出电压范围是基准电压的两倍，且 DAC 是单调的。该器件使用简单，可在 5V 的单电源上工作。内部上电复位功能被集成来保证并提供重复启动的条件。

CLM5615 的数字控制是通过一个三线串行总线来进行的。该总线与 CMOS 兼容，易于与工业标准微处理器和微控制器器件相连接。DAC 接收 16 位的数据来产生模拟输出。数字输入具有施密特触发器的高噪声容错特性。数字通信协议包括 SPI<sup>™</sup>、QSPI<sup>™</sup>和Microwire<sup>™</sup>标准。

8 端口小引出线 D 封装允许在空间关键的应用中对模拟功能进行数字控制。CLM5615C 工作温度范围是从 0 $^{\circ}$ C 到 +70 $^{\circ}$ C。CLM5615I 工作温度范围是从-40 $^{\circ}$ 到+85 $^{\circ}$ C。

D、P 或 DGK 封装（顶视图）



**功能框图**

**端口功能**

名称	端口 编号	I/O	描述
DIN	1	I	串行数据输入
SCLK	2	I	串行时钟输入
$\overline{CS}$	3	I	片选信号, 低有效
DOUT	4	O	菊花链串行数据输出
AGND	5		模拟地
REFIN	6	I	基准输入
OUT	7	O	DAC模拟电压输出
$V_{DD}$	8		正电源

## 绝对最大极限值

在自由温度范围内工作（除非另有说明）<sup>(1)</sup>

		单位
电源电压 (V <sub>DD</sub> 至AGND)		7V
数字输入电压范围至AGND		-0.3V至V <sub>DD</sub> + 0.3V
基准输入电压范围至AGND		-0.3V至V <sub>DD</sub> + 0.3V
外部电源输出电压		V <sub>DD</sub> + 0.3V
连续电流在任一端口		±20mA
工作温度范围, T <sub>A</sub>	CLM5615C	0°C到+70°C
	CLM5615I	-40°C至+85°C
存储温度范围, T <sub>stg</sub>		-65°C至+150°C
引脚温度1.6mm (1/16英寸), 10秒		+260°C

(1) 超过**绝对最大极限值**可能会对器件造成永久性损坏。并不推荐在超出本规范的条件操作器件。长时间暴露于绝对最大极限条件下可能会影响器件的可靠性。

## 推荐工作条件

		最小	正常	最大	单位
电源电压, V <sub>DD</sub>		4.5	5	5.5	V
高电平数字输入电压, V <sub>IH</sub>		2.4			V
低电平数字输入电压, V <sub>IL</sub>				0.8	V
基准电压, V <sub>ref</sub> 至REFIN端		2	2.048	V <sub>DD</sub> - 2	V
负载电阻, R <sub>L</sub>		2			kΩ
工作在自由的温度下, T <sub>A</sub>	CLM5615C	0		70	°C
	CLM5615I	40		85	°C

## 电气特性

在自由温度范围内工作, V<sub>DD</sub> = 5V±5%, V<sub>ref</sub> = 2.048V (除非另有说明)

DAC静态参数							
参数		测试条件		最小	典型	最大	单位
分辨率				10			bits
积分非线性, 末端点调整 (INL)		V <sub>ref</sub> = 2.048V,	参见 <sup>(1)</sup>			±1	LSB
微分非线性 (DNL)		V <sub>ref</sub> = 2.048V,	参见 <sup>(2)</sup>	±0.1		±0.5	LSB
E <sub>ZS</sub>	零量程误差 (零量程时的失调误差)	V <sub>ref</sub> = 2.048V,	参见 <sup>(3)</sup>			±3	LSB
零量程误差温度系数		V <sub>ref</sub> = 2.048V,	参见 <sup>(4)</sup>		3		ppm/ °C
E <sub>G</sub>	增益误差	V <sub>ref</sub> = 2.048V,	参见 <sup>(5)</sup>			±3	LSB
增益误差温度系数		V <sub>ref</sub> = 2.048V,	参见 <sup>(6)</sup>		1		ppm/ °C
PSRR电源抑制比	零量程	参见 <sup>(7)(8)</sup>		80			dB
	增益			80			
模拟满量程输出		R <sub>L</sub> = 100kΩ		2V <sub>ref</sub> (1023/1024)			V

(1) 相对精度或积分非线性 (INL), 有时称为线性误差, 是输出在零和满量程之间线上的最大偏差, 不包括零和满量程误差的影响。测试是从输入数字3到1024进行的。

(2) 微分非线性 (DNL), 有时也称为微分误差, 是任意两个相邻码的测量值和理想1LSB值的差值。单调表示输出电压随数字输入的变化方向相同 (或保持恒定)。测试是从输入数字3到1024进行的。

(3) 零量程误差是数字输入为零时, 零电压输出的偏差。

(4) 零量程误差温度系数由下式给出:  $E_{ZS} TC = [E_{ZS}(T_{max}) - E_{ZS}(T_{min})] / V_{ref} \times 10^6 / (T_{max} - T_{min})$ 。

(5) 增益误差是指当输出负载为10kΩ时, 理想输出 (V<sub>ref</sub>-1LSB) 的偏差, 不包括零量程误差的影响。

(6) 增益温度系数为:  $E_G TC = [E_G(T_{max}) - E_G(T_{min})] / V_{ref} \times 10^6 / (T_{max} - T_{min})$ 。

(7) 零量程误差抑制比 (E<sub>ZS</sub>-RR): 通过将V<sub>DD</sub>从4.5V改变为5.5V, 并测量该信号施加在0输入码的输出电压上的比例。

(8) 增益-误差抑制比 (EG-RR) : 通过将 $V_{DD}$ 从4.5V改变为5.5V, 并测量该信号在减去零量程变化后施加于满量程输出电压上的比例。

## 电压输出 (输出)

参数	测试条件	最小	典型	最大	单位
$V_O$ 电压输出范围	$R_L = 10k\Omega$	0		$V_{DD} - 0.4$	V
输出负载调节精度	$V_{O(OUT)} = 2V$ $R_L = 2k\Omega$			0.5	LSB
$I_{OSC}$ 输出短路电流	OUT到 $V_{DD}$ 或AGND		20		mA
$V_{OL(low)}$ 低电平输出电压	$I_{O(OUT)} \leq 5mA$			0.25	V
$V_{OH(high)}$ 高电平输出电压	$I_{O(OUT)} \leq -5mA$	4.75			V
基准输入 (REFIN)					
$V_i$ 输入电压		0		$V_{DD} - 2$	V
$r_i$ 输入电阻		10			M $\Omega$
$C_i$ 输入电容			5		pF
数字输入 (DIN、SCLK、CS)					
$V_{IH}$ 高电平数字输入电压		2.4			V
$V_{IL}$ 低电平数字输入电压				0.8	V
$I_{IH}$ 高电平数字输入电流	$V_i = V_{DD}$			$\pm 1$	$\mu A$
$I_{IL}$ 低电平数字输入电流	$V_i = 0$			$\pm 1$	$\mu A$
$C_i$ 输入电容			8		pF
数字输出 (DOUT)					
$V_{OH}$ 高电平输出电压	$I_o = -2mA$	$V_{DD} - 1$			V
$V_{OL}$ 低电平输出电压	$I_o = 2mA$			0.4	V
电源					
$V_{DD}$ 电源电压		4.5	5	5.5	V
$I_{DD}$ 电源电流	$V_{DD} = 5.5V$ , 空载, 所有输入 = 0V或 $V_{DD}$		150	250	$\mu A$
	$V_{DD} = 5.5V$ , 空载, 所有输入 = 0V或 $V_{DD}$	$V_{ref} = 2.048V$	230	350	$\mu A$
模拟输出动态特性					
信噪比 + 失真, S/(N + D)	$V_{ref} = 1V_{PP}$ 在1kHz $\pm 2.048V_{dc}$ , 输入码 = 11 1111 1111 <sup>(1)</sup>	60			dB

(1)在 $1V_{PP}$ 处的极限频率值由输出放大器压摆率来确定。

## 数字输入时序要求 (参见图1)

参数	测试条件	最小	正常	最大	单位
$t_{su(DS)}$ 建立时间, 在SCLK高之前DIN有效时间		45			ns
$t_{h(DH)}$ 保持时间, 在SCLK高后DIN有效时间		0			ns
$t_{su(CSS)}$ 建立时间, CS低至SCLK高		1			ns
$t_{su(CS1)}$ 建立时间, CS高至SCLK高		50			ns
$t_{h(CSH0)}$ 保持时间, SCLK低至CS低		1			ns
$t_{h(CSH1)}$ 保持时间, SCLK低至CS高		0			ns
$t_{w(CS)}$ 脉冲持续时间, 最小片选高脉冲宽度		20			ns
$t_{w(CL)}$ 脉冲持续时间, SCLK低		25			ns
$t_{w(CH)}$ 脉冲持续时间, SCLK高		25			ns

## 输出开关特性

参数	测试条件	最小	正常	最大值	单位
$T_{pd(DOUT)}$ 传播延迟时间, DOUT	$C_L = 50pF$			50	ns

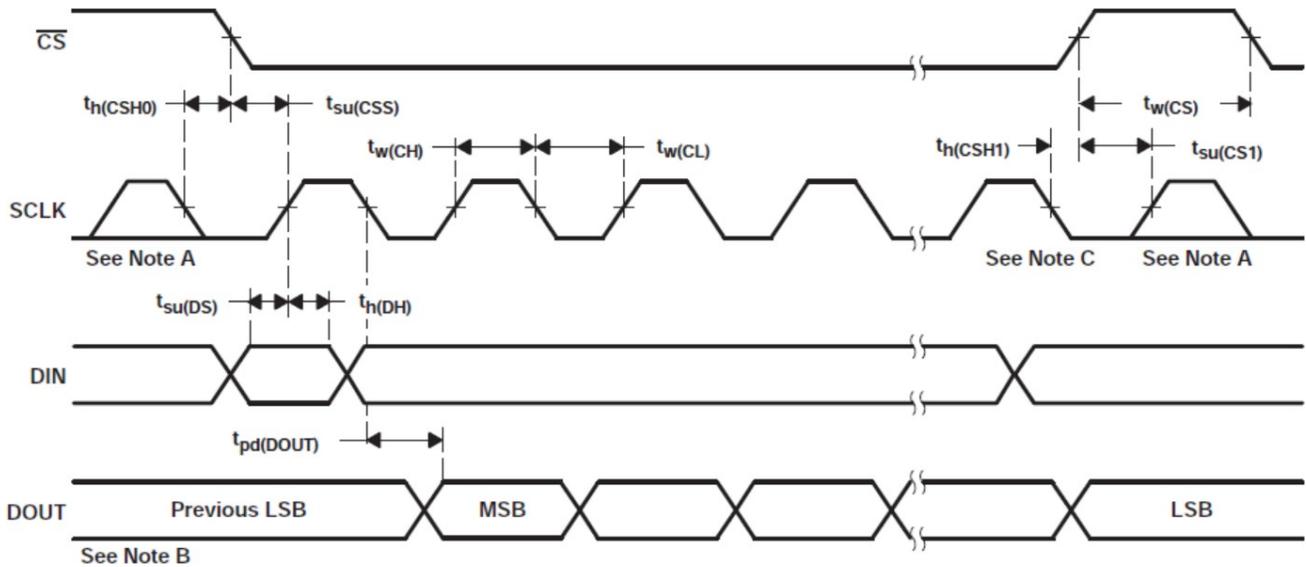
## 工作特性

在自由温度范围内工作， $V_{DD} = 5V \pm 5\%$ ， $V_{ref} = 2.048V$ （除非另有说明）

参数	测试条件	最小	典型	最大	单位
模拟输出动态性能					
SR 输出压摆率	$C_L = 100pF, T_A = +25^\circ C$ $R_L = 10k\Omega,$	0.3	0.5		V/ $\mu s$
$t_s$ 输出建立时间	到0.5LSB, $R_L = 10k\Omega,$ $C_L = 100pF,^{(1)}$		12.5		s
毛刺能量	DIN = 全0到全1		5		nV-s
基准输入 (REFIN)					
基准馈通	REFIN = $1V_{pp}, 1kHz + 2.048V_{dc}^{(2)}$		-80		dB
带宽 (f-3dB)	REFIN = $0.2V_{pp} + 2.048V_{dc}$		30		kHz

- (1) 建立时间是在数字输入码从000 hex变化为3FF hex或从3FF hex变化000 hex时，输出信号保持在最终测量值 $\pm 0.5LSB$  之内的时间。  
 (2) 在DAC的输出测量基准馈通，使用的输入如下：输入数字码 = 000 hex， $V_{ref} = 2.048V_{dc} + 1V_{pp}$  (1kHz)。

## 参数测量信息



- 注：A. 当CS变高来最小化时钟馈通时，施加在SCLK上的输入时钟应该被抑制为低。  
 B. 数据输入来源于前一个转换周期。  
 C. 第16个SCLK下降沿

图1 时序图

## 典型特征

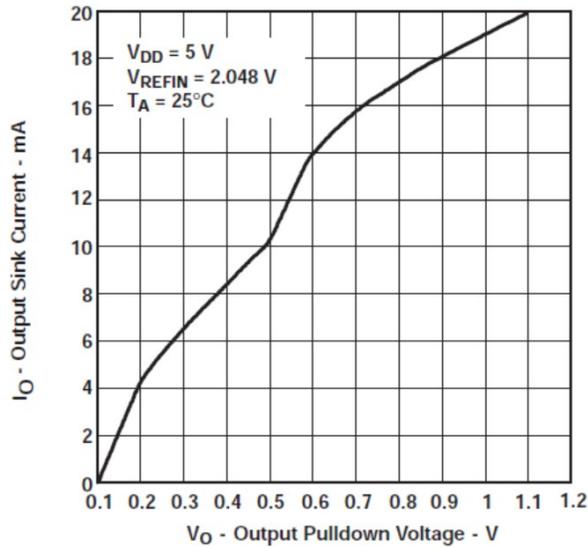


图2 输出灌电流vs输出下拉电压

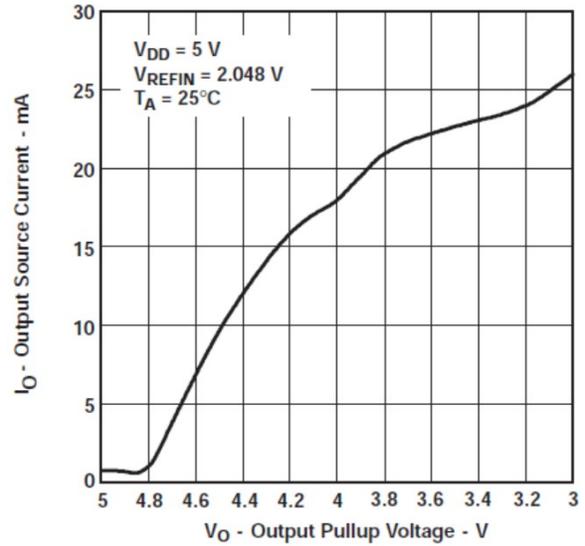


图3 输出源电流vs输出上拉电压

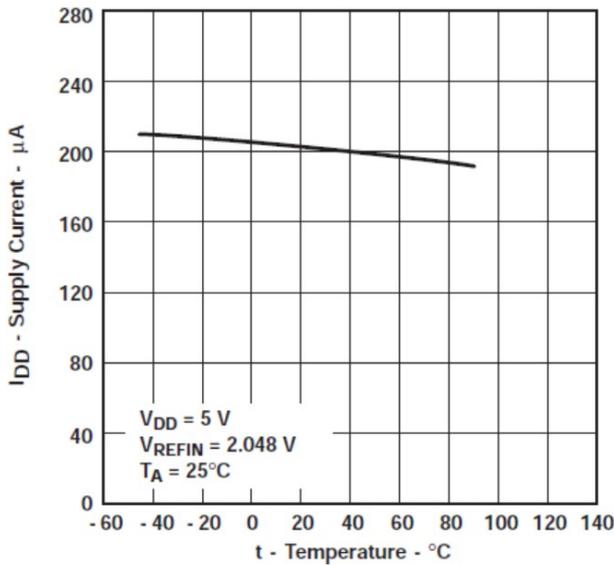


图4 电源电流vs温度

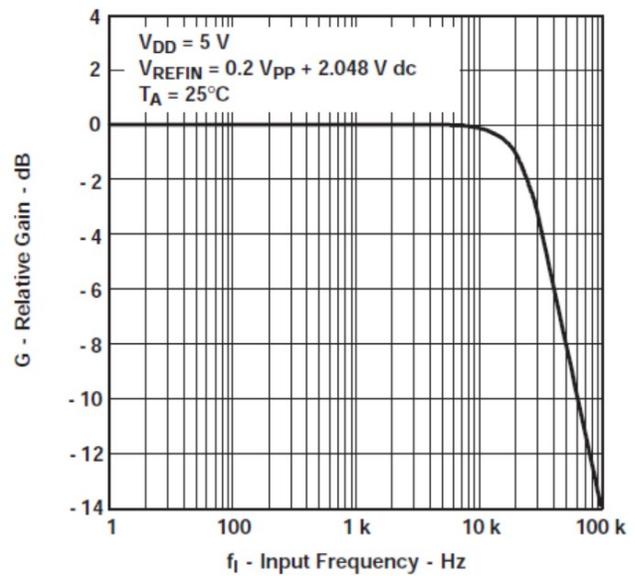


图5  $V_{REFIN}$ 至 $V_{(OUT)}$ 的相对增益vs输入频率

典型特征 (续)

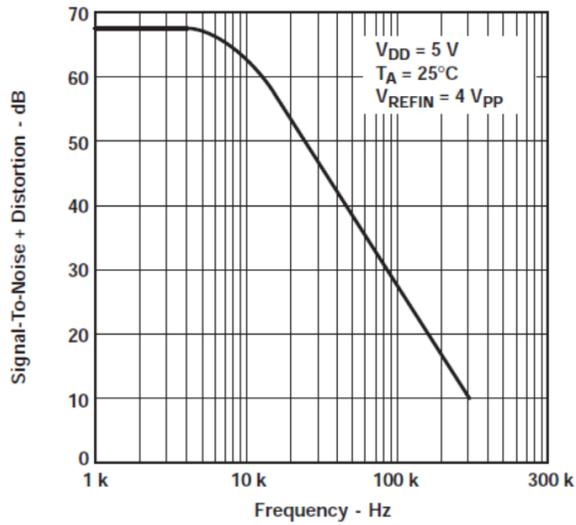


图6 信噪比 + 失真vs在REFIN的输入频率

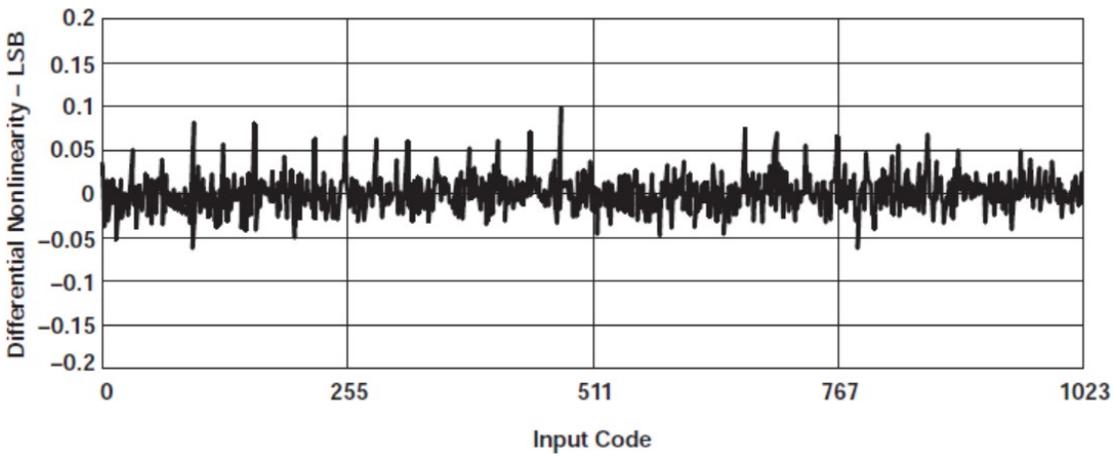


图7 差分非线性vs输入码

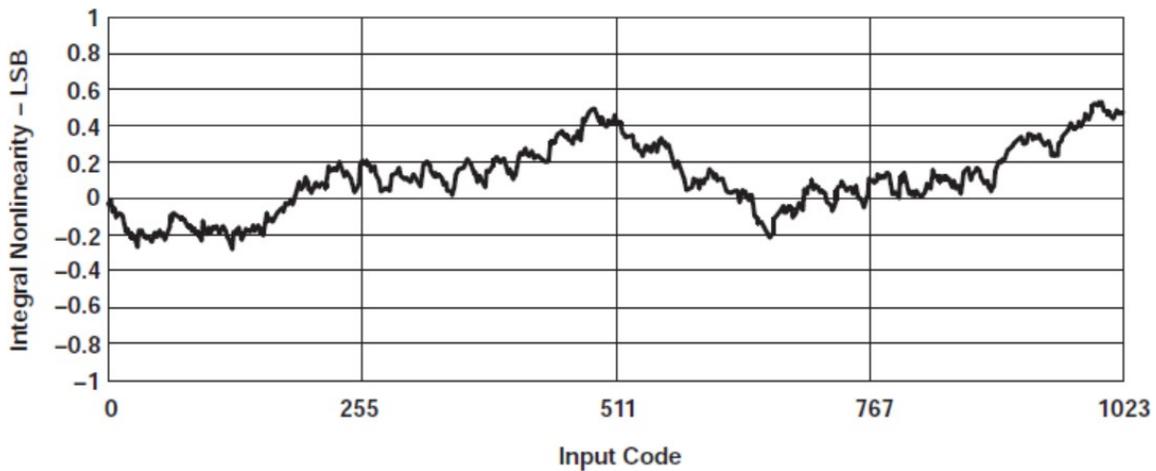


图8 积分非线性vs输入码

## 应用信息

### 通用功能

CLM5615使用一个由运算放大器（增益为2）缓冲的电阻串网络，将10位数字码转换为模拟电压电平（请参见功能框图和图9）。CLM5615输出具有与基准输入相同的极性（请参见表1）。

内部电路在上电时将DAC寄存器复位为全零。

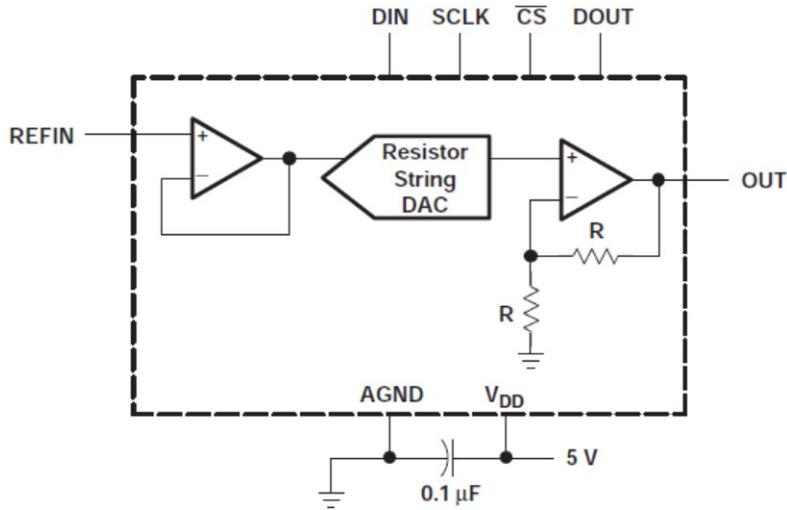


图9 CLM5615典型工作电路

表1 二进制码表（0V ~ 2V<sub>REFIN</sub>输出），Gain = 2

INPUT <sup>(1)</sup>			OUTPUT
1111	1111	11(00)	$2(V_{REFIN}) \frac{1023}{1024}$
	:		:
1000	0000	01(00)	$2(V_{REFIN}) \frac{513}{1024}$
1000	0000	00(00)	$2(V_{REFIN}) \frac{512}{1024} = V_{REFIN}$
0111	1111	11(00)	$2(V_{REFIN}) \frac{511}{1024}$
	:		:
0000	0000	01(00)	$2(V_{REFIN}) \frac{1}{1024}$
0000	0000	00(00)	0 V

(1) 由于DAC输入锁存器的宽度为12位宽，因此一个10位的数字输入码需要外加2位0，才能写入。

## 缓冲放大器

输出缓冲器拥有一个带短路保护的轨到轨的输出，它能够驱动一个100pF负载电容和一个2kΩ负载。建立时间通常为12.5μs（0.5LSB以内）。

## 外部基准

基准电压输入被缓冲，这使得DAC输入电阻不依赖于数字输入码。因此，REFIN输入电阻为10MΩ，并且REFIN输入电容为5pF（典型，与输入代码无关）。基准电压确定DAC满量程的输出范围。

## 逻辑接口

逻辑输入工作在：TTL逻辑和CMOS逻辑。但是，使用轨到轨CMOS逻辑可实现最低的功耗。使用TTL逻辑时，功耗将增加大约2倍。

## 串行时钟和更新速率

图1显示了CLM5615的时序。最大串行时钟率为：

$$f_{(SCLK)max} = \frac{1}{t_{w(CH)} + t_{w(CL)}}$$

或近似14MHz。数字更新速率受选择芯片的周期限制，该周期为：

$$t_{p(CS)} = 16 \times (t_{w(CH)} + t_{w(CL)}) + t_{w(CS)}$$

并且等于820ns，这是1.21MHz的更新速率。然而，对于满量程输入阶跃式转换，DAC的建立时间为10位12.5μs，这将更新速率限制为80kHz。

## 串行接口

当片选（CS）为低时，输入数据被读入一个16位的移位寄存器中（MSB-first）。SCLK输入的上升沿将数据移入输入寄存器中。

然后，CS的上升沿将数据传输到DAC寄存器中。当CS为高时，输入数据不能进入输入寄存器。SCLK输入为低时，所有CS转换都应发生。

如果不使用菊花链（cascading）功能（参见daisy-chain devices部分），则12位MSB-first的输入序列可以被使用，如图10所示：

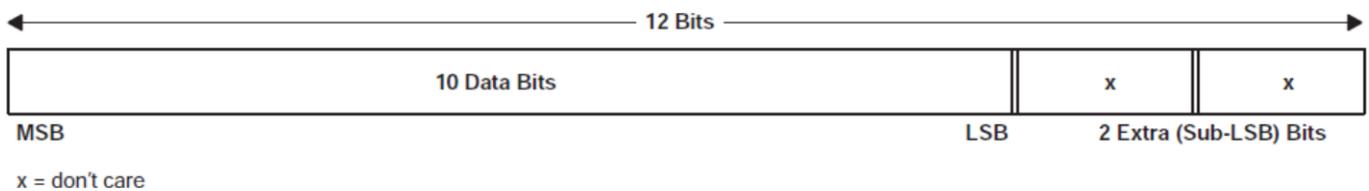


图10 12位输入数据序列

16位数据也可以被传输，如图11中所示，高四位为4个dummy bit，它们优先传输。

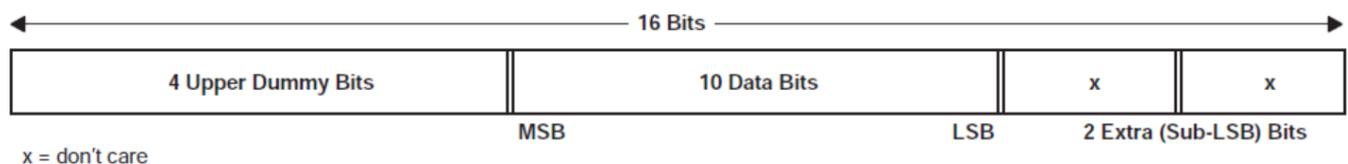
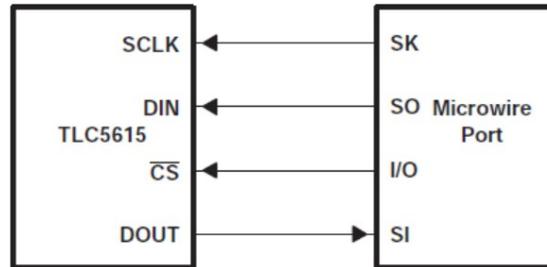


图11 16位输入数据序列

来自DOUT的数据需要输入时钟的16个下降沿，因此需要额外的时钟宽度。当菊花链连接多个CLM5615器件时，数据需要4个高dummy位，因为数据传输需要16个输入时钟周期加上一个额外的输入时钟下降沿才能在DOUT输出数据（见图1）。两个额外（sub-LSB）位被要求增加，来提供与传输12位数据转换器数据的硬件和软件的兼容性。

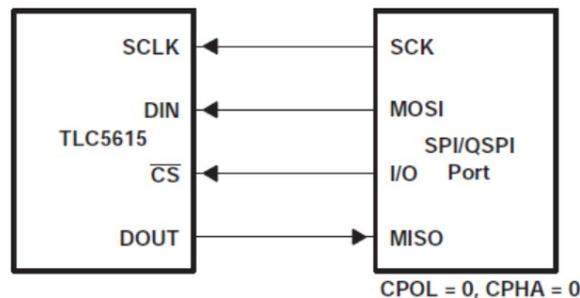
CLM5615的三线接口兼容SPI、QSPI和Microwire串行标准。硬件连接如图12和图13所示。

SPI和Microwire接口以8位字节传输数据；因此，需要两个写周期才能将数据输入到DAC中。QSPI接口拥有一个从8到16位可变的输入数据长度，能够在写周期内加载DAC输入寄存器。



注意A：写入CLM5615不需要DOUT-SI连接，但如果被用来验证数据传输，则是有用的。

图12 Microwire连接



注意A：写入CLM5615不需要DOUT-SI连接，但如果被用来验证数据传输，则是有用的。

图13 SPI/QSPI连接

## 菊花链器件

DAC可以进行菊花链链接，通过链接一个器件的DOUT端口和下一个器件的DIN端口，因此建立时间， $t_{su(C.S.S)}$ （CS低到SCLK高）将大于建立时间 $t_{su(D.S)}$ 和传播延迟时间 $t_{pd(DOUT)}$ 的和，这样才能获取更好的时序（请参见数字输入时序要求部分）。延迟16个时钟周期外加一个时钟宽度时，DIN端上的数据将出现在DOUT端上。为了降低功耗，DOUT被设计成一个图腾（totem-poled）式的输出。当CS为低时，DOUT在SCLK的下降沿改变。当CS为高时，DOUT保持最后数据位的值，且不会进入高阻态。

## 单电源的线性度、失调和增益误差

当放大器在单电源下工作时，电压失调要么是正的，要么是负的。在正失调的情况下，输出电压在第一个输入码改变时就会发生变化。在负失调的情况下，输出电压可能不会随第一个输入码而变化，这取决于失调电压的大小。

输出放大器试图将输出驱动到负电压。但是，由于最负电源轨是地，因此输出并不能被驱动到低于地，而是被钳位为0V。

然后，输出电压将保持为0，直到输入产生一个有效的正输出电压来克服负失调电压，传递函数如图14所示。

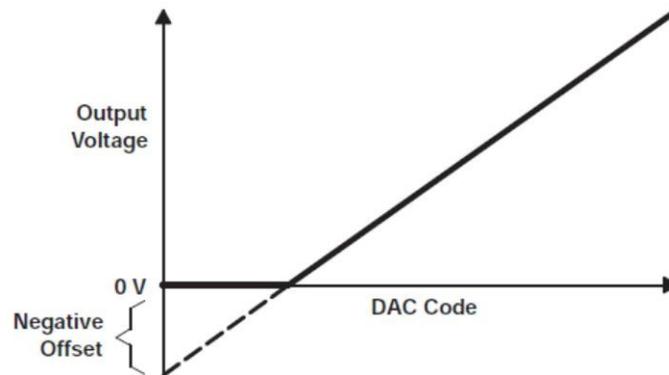


图14 负失调的影响（单电源）

失调误差产生了这个断点，而不是线性误差来产生。如果输出缓冲器能驱动到地以下，传递函数就会沿着虚线。

对于DAC，线性度是在失调和满量程被调整后（或以某种方式调整后）在零输入码（全0）和满量程码（全1）之间进行的测量。然而，由于传递函数中的断点，单电源操作不允许在失调为负的情况下进行调整。因此，线性度是在满量程码和产生正输出电压的最低输入码之间进行的测量。对于CLM5615，零量程（失调）误差为 $\pm 3\text{LSB}$ （最大）。码是根据负失调的最大指标而计算出来的。

### 电源旁路和地管理

印刷电路板使用单独的模拟和数字接地层来提供最佳的系统性能。绕线板并不拥有很好的性能，因此不应使用。两个接地层应在低阻抗电源处连接在一起。通过将DAC AGND端连接到系统的模拟接地层可确保很好地管理模拟接地电流，并且在接地层上的压降可以忽略不计，进而实现最佳的接地连接。

一个 $0.1\mu\text{F}$ 的陶瓷电容旁路应连接在 $V_{\text{DD}}$ 和AGND之间，并将短引线尽可能的靠近器件。使用磁珠可以进一步将系统的模拟电源与数字电源相隔离。

图15显示了接地层的布局和旁路技术。

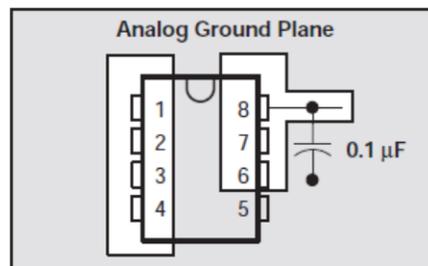


图15 电源旁路

### 节电

当系统不使用DAC时，将DAC寄存器设置为全部为0，可以将基准电阻阵列和输出负载的功耗降到最低。

---

## 交流注意事项

### 数字馈通

即使CS为高，在任何数字输入或输出端的高速串行数据也可能通过DAC封装的内部杂散电容耦合，并由于数字馈通出现在DAC模拟输出处。数字馈通是通过将CS保持为高，并从DIN到DOUT传输01010101来进行测试的

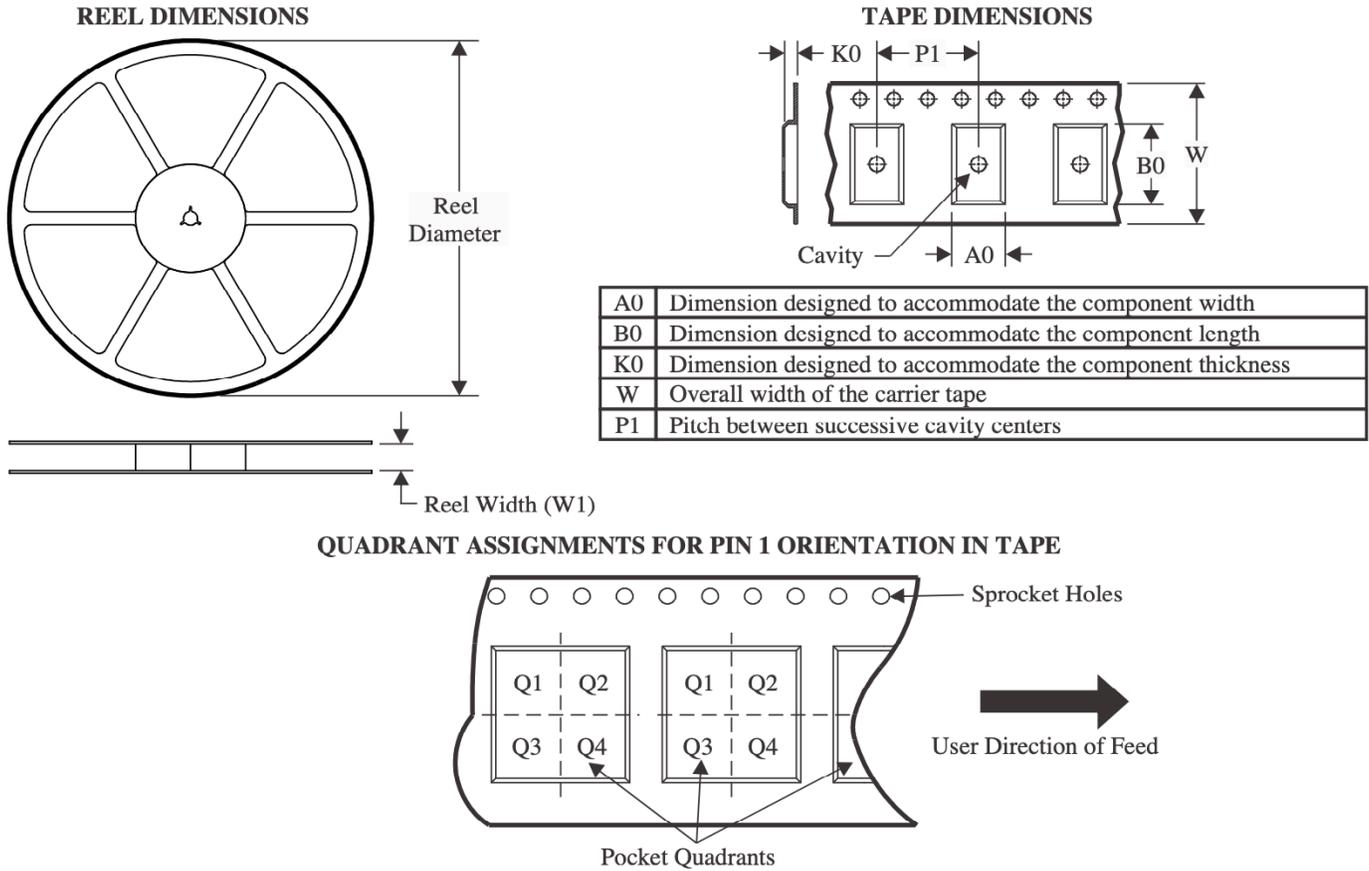
### 模拟馈通

较高频率的模拟输入信号或许可以通过内部杂散电容耦合到输出。模拟馈通是通过将CS保持为高，设置DAC输入码为全0，扫描应用于REFIN的频率以及监视DAC输出来进行测试的。

## 封装信息

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CLM5615CD	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	5615C	
CLM5615CDG4	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	5615C	
CLM5615CDGK	ACTIVE	VSSOP	DGK	8	80	RoHS & Green	NIPDAUAG	Level-1-260C-UNLIM	0 to 70	AEM	
CLM5615CDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAUAG	Level-1-260C-UNLIM	0 to 70	AEM	
CLM5615CDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	5615C	
CLM5615CP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	CLM5615CP	
CLM5615ID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	5615I	
CLM5615IDGK	ACTIVE	VSSOP	DGK	8	80	RoHS & Green	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	AEN	
CLM5615IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	5615I	
CLM5615IP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	CLM5615IP	

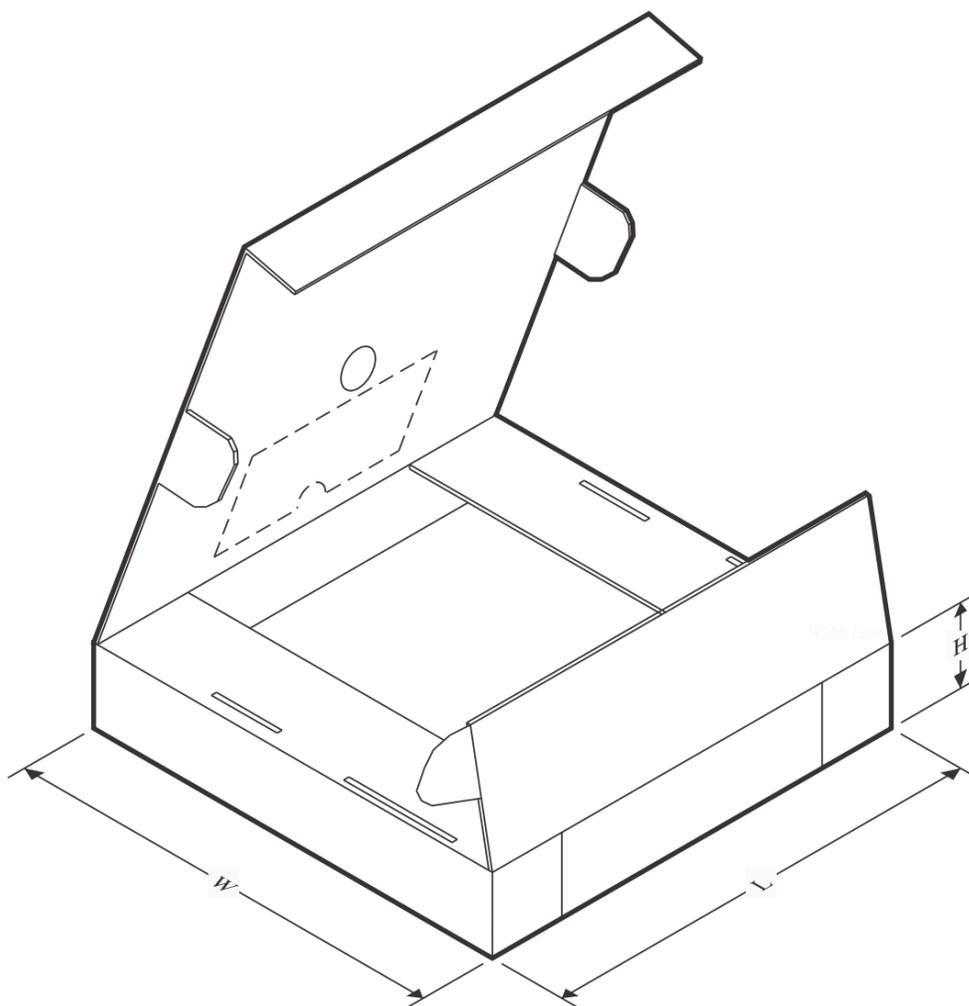
## 卷带和卷轴信息



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CLM5615CDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
CLM5615CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
CLM5615IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

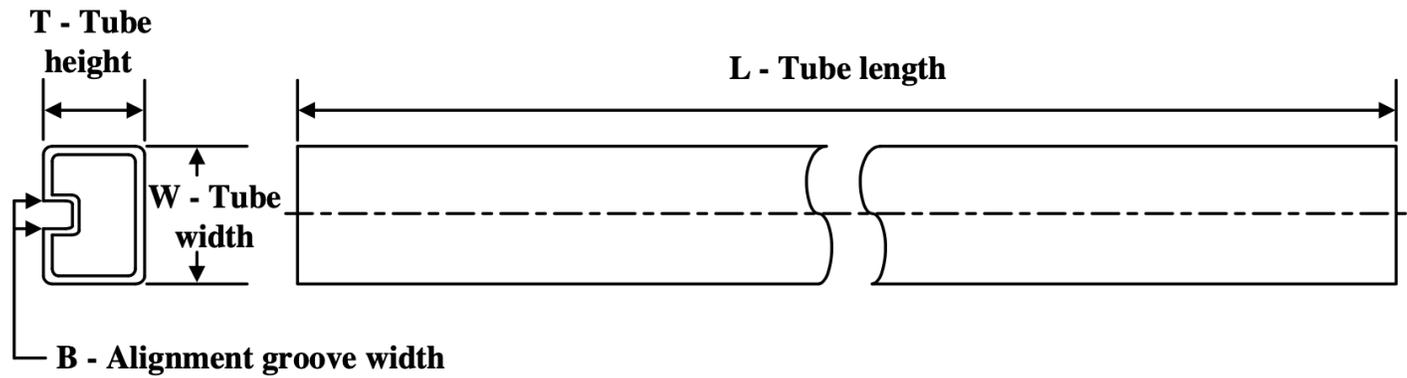
## 卷带和卷轴盒信息



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CLM5615CDGKR	VSSOP	DGK	8	2500	350.0	350.0	43.0
CLM5615CDR	SOIC	D	8	2500	340.5	336.1	25.0
CLM5615IDR	SOIC	D	8	2500	340.5	336.1	25.0

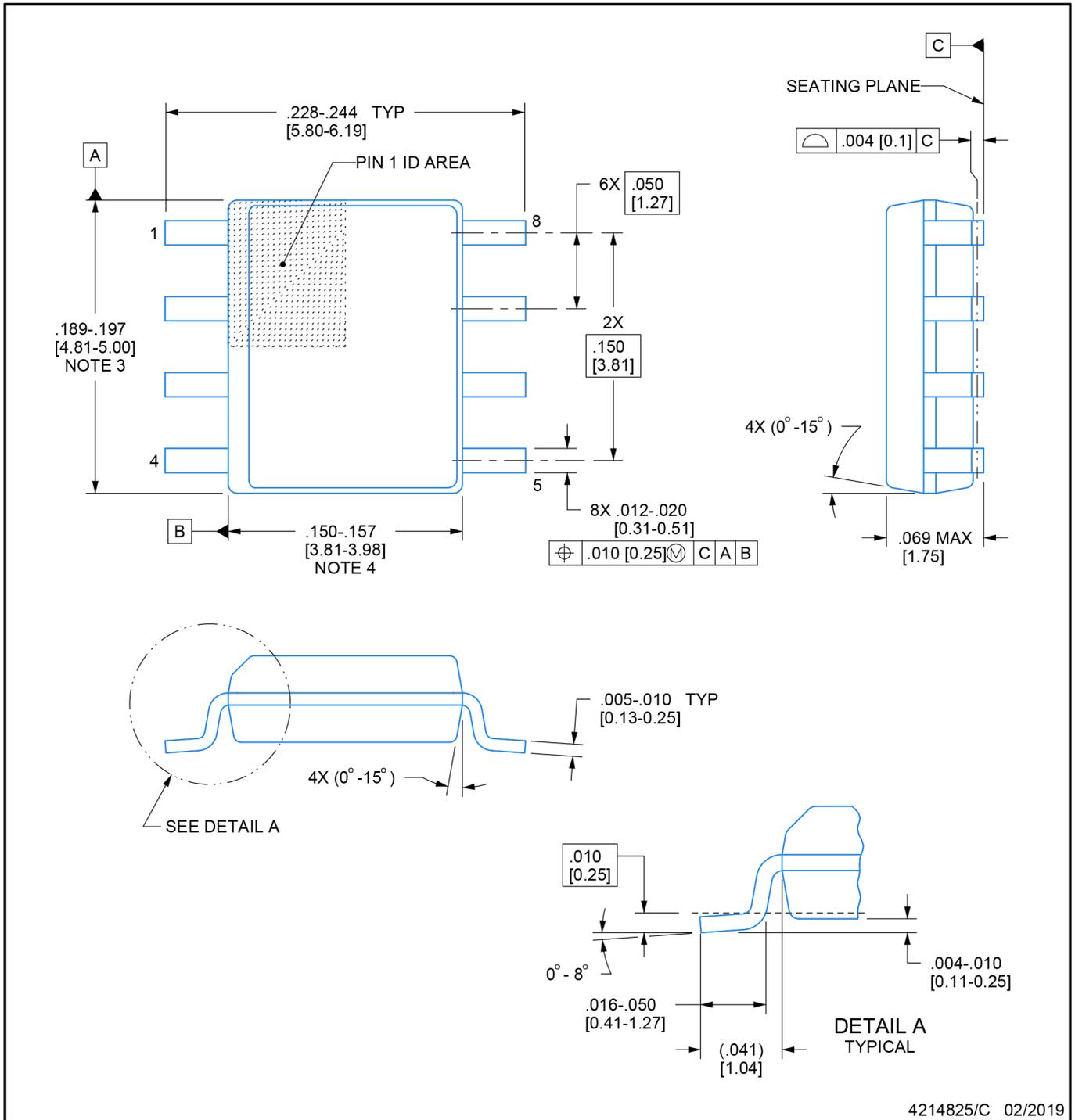
## 管式封装信息



\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CLM5615CD	D	SOIC	8	75	507	8	3940	4.32
CLM5615CD	D	SOIC	8	75	505.46	6.76	3810	4
CLM5615CDG4	D	SOIC	8	75	507	8	3940	4.32
CLM5615CDG4	D	SOIC	8	75	505.46	6.76	3810	4
CLM5615CDGK	DGK	VSSOP	8	80	331.47	6.55	3000	2.88
CLM5615CP	P	PDIP	8	50	506	13.97	11230	4.32
CLM5615ID	D	SOIC	8	75	507	8	3940	4.32
CLM5615ID	D	SOIC	8	75	505.46	6.76	3810	4
CLM5615IDGK	DGK	VSSOP	8	80	331.47	6.55	3000	2.88
CLM5615IP	P	PDIP	8	50	506	13.97	11230	4.32

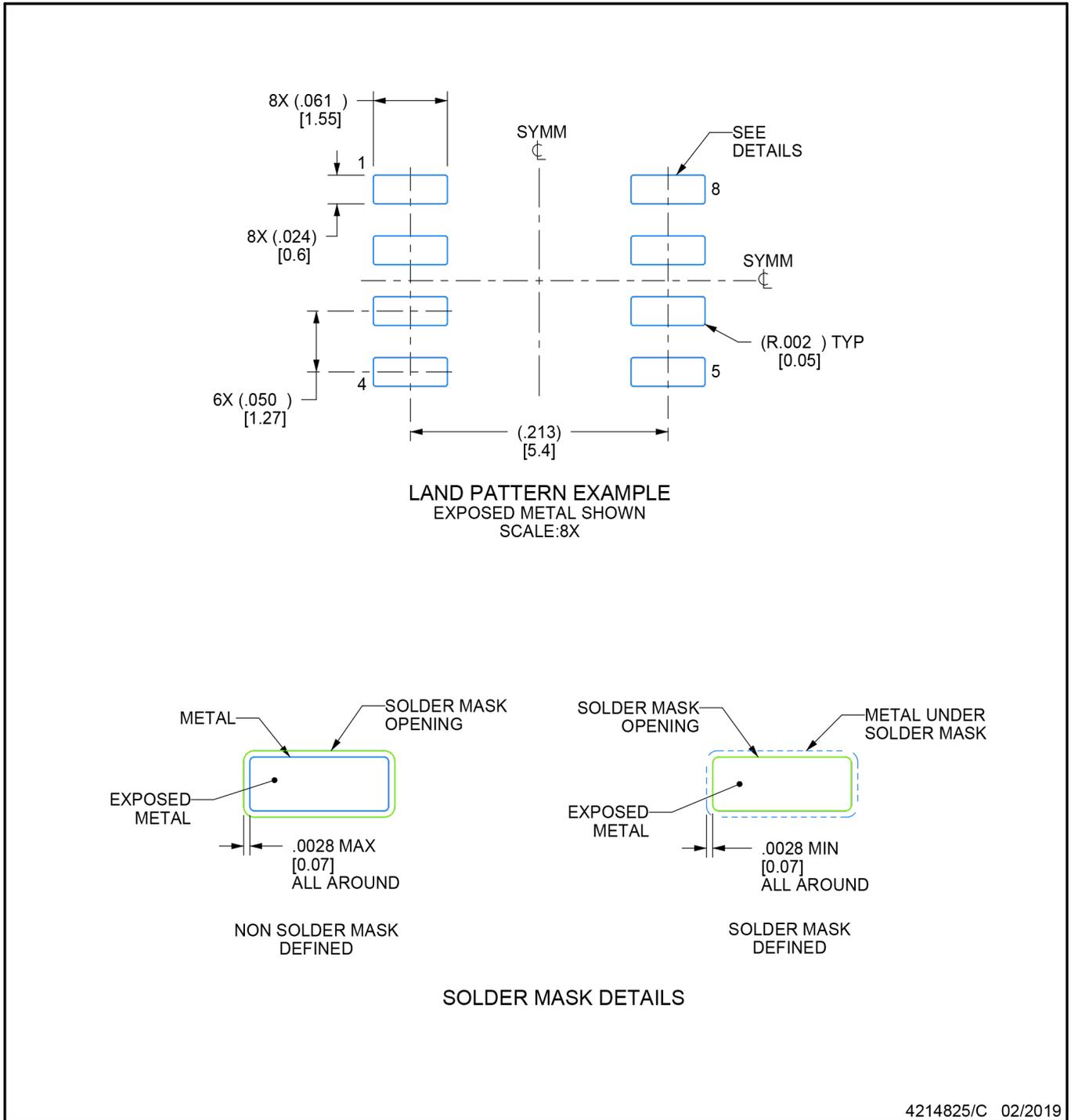
## 封装外形



### NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed  $.006$  [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

## 焊盘布局示例

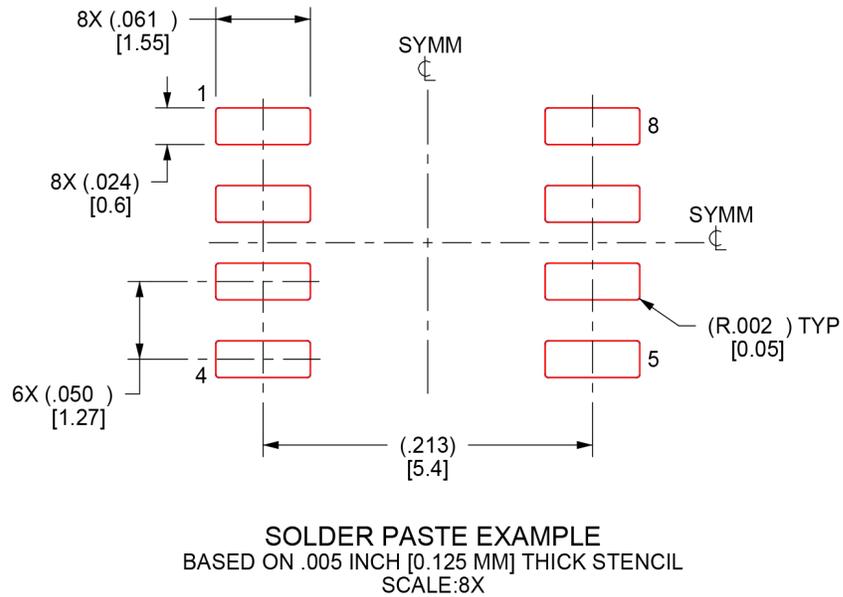


NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

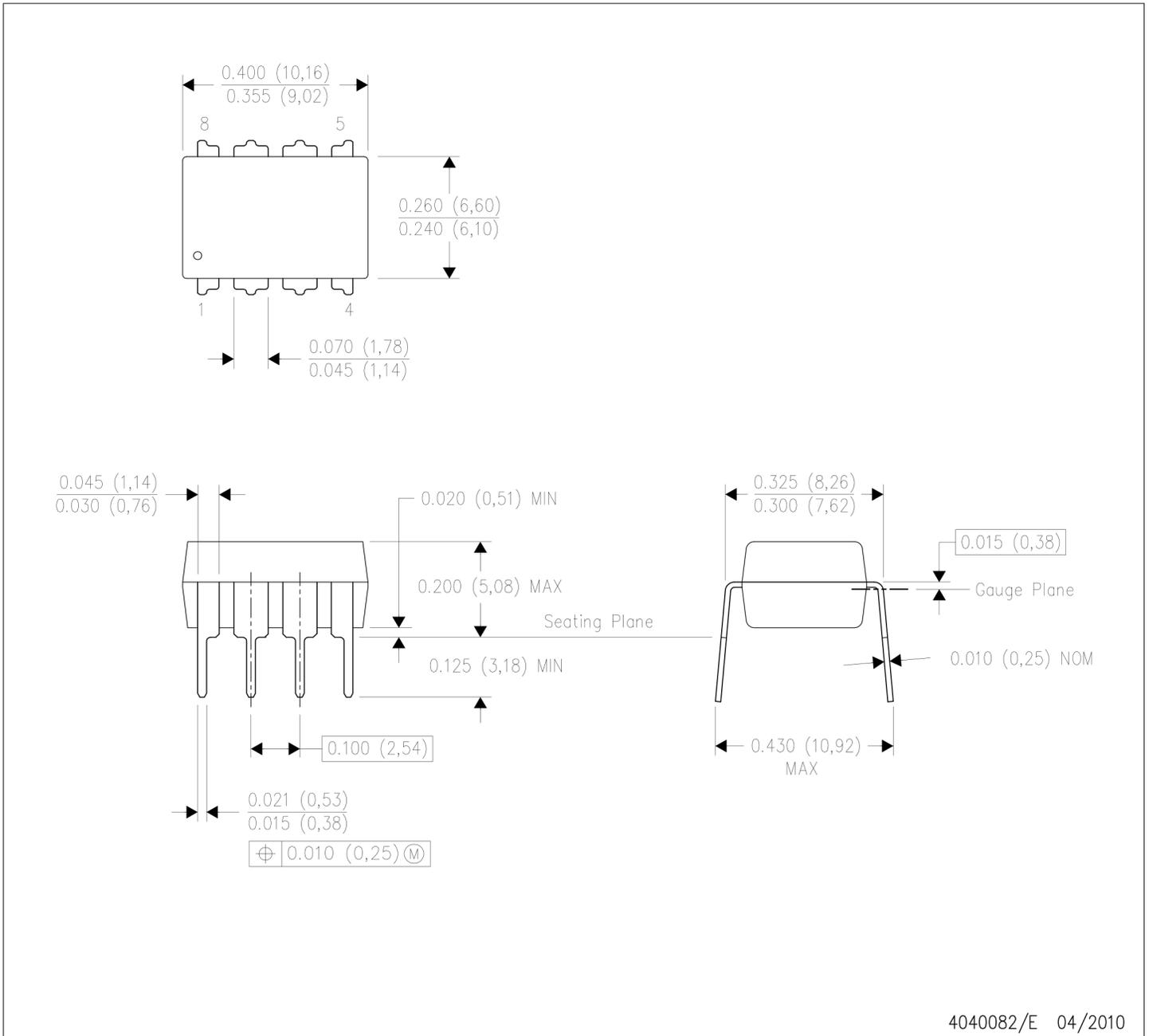
## 钢网模版设计示例



4214825/C 02/2019

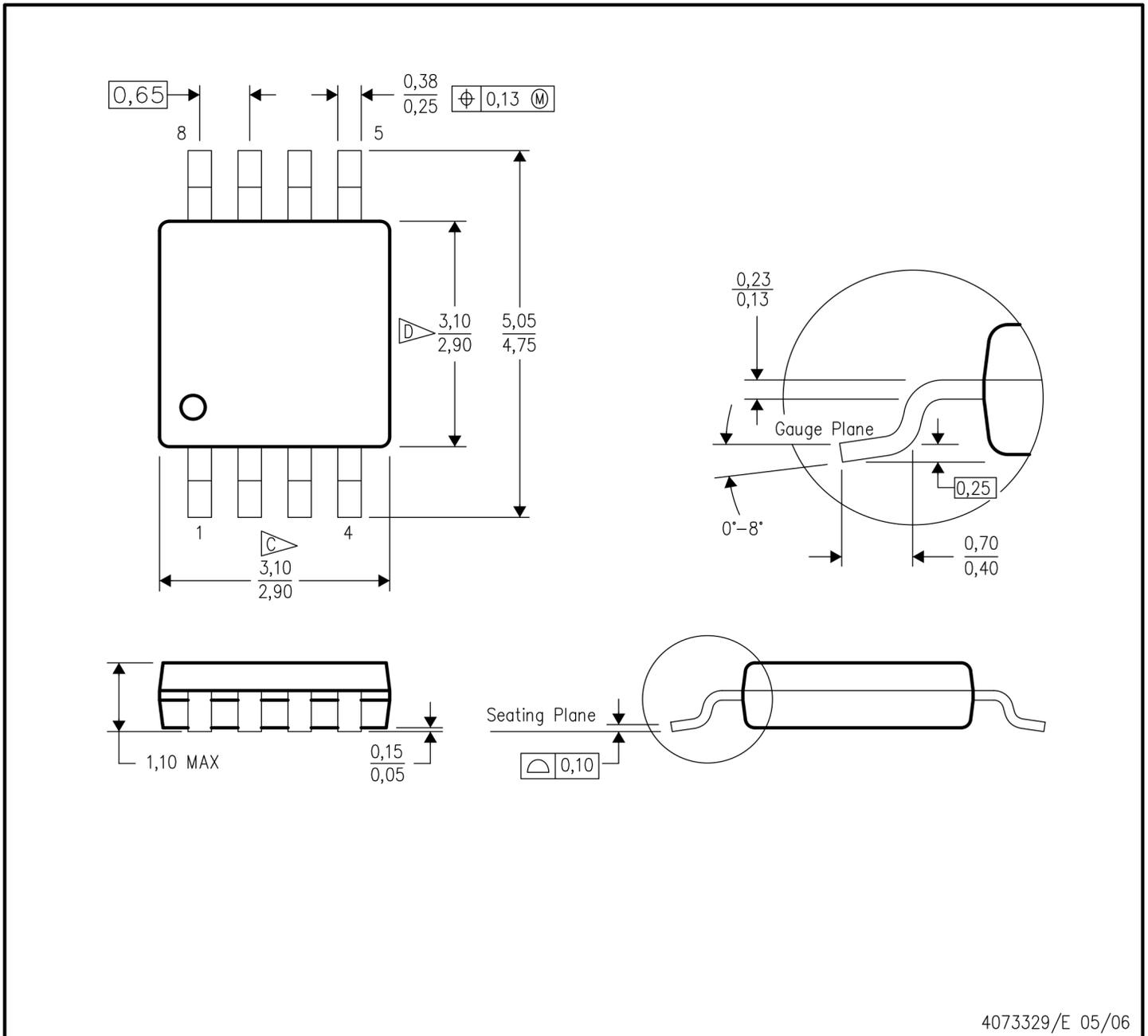
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

**机械数据**


4040082/E 04/2010

- NOTES: A. All linear dimensions are in millimeters.  
 B. This drawing is subject to change without notice.  
 C. Publication IPC—7351 is recommended for alternate designs.  
 D. Falls within JEDEC MS—001 variation BA.

**机械数据**


4073329/E 05/06

NOTES: A. All linear dimensions are in millimeters.

B. This drawing is subject to change without notice.

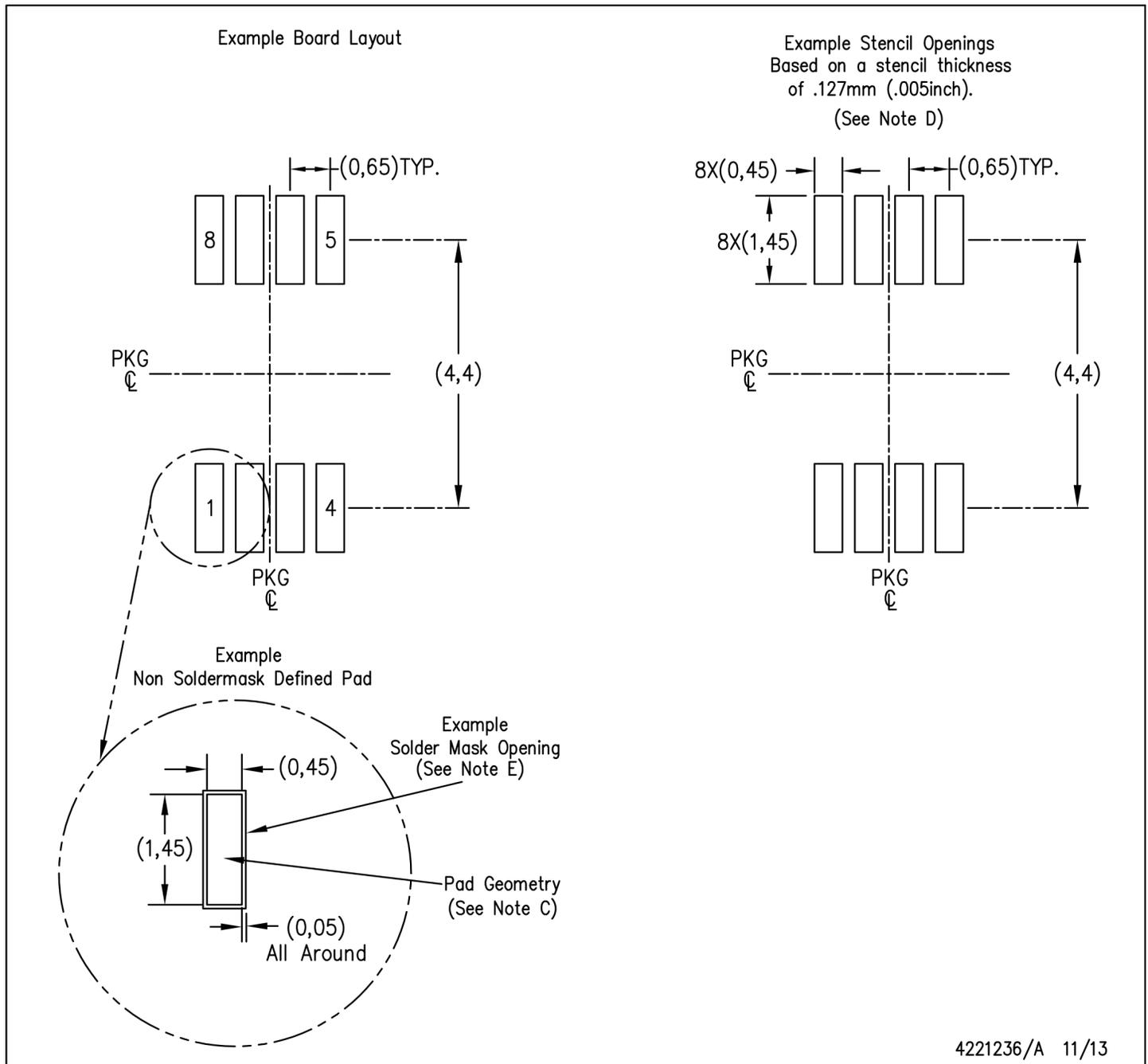
C. Publication IPC—7351 is recommended for alternate designs.

D. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.

E. Body width does not include interleaf flash. Interleaf flash shall not exceed 0.50 per side.

F. Falls within JEDEC MO-187 variation AA, except interleaf flash.

## 焊盘图样示例



NOTES: A. All linear dimensions are in millimeters.

B. This drawing is subject to change without notice.

C. Publication IPC—7351 is recommended for alternate designs.

D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC—7525 for other stencil recommendations.

E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.